

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-045501

(43)Date of publication of application : 18.02.1994

(51)Int.Cl.

H01L 23/50

H01L 21/60

H01L 25/10

H01L 25/11

H01L 25/18

(21)Application number : 05-122726

(71)Applicant : HITACHI LTD  
HITACHI VLSI ENG CORP

(22)Date of filing : 25.05.1993

(72)Inventor : MASUDA MASACHIKA  
WADA TAMAKI

(30)Priority

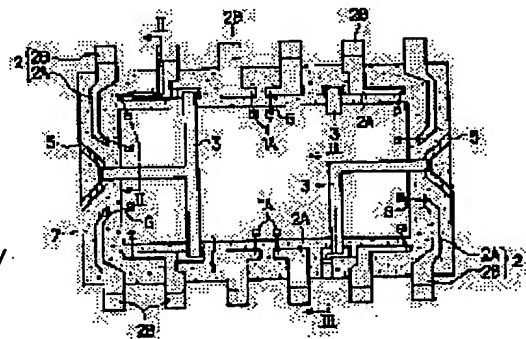
Priority number : 04132287    Priority date : 25.05.1992    Priority country : JP

(54) THIN TYPE SEMICONDUCTOR DEVICE, MODULE STRUCTURE BODY USING THE SAME, AND MOUNTING METHOD OF THIS THIN TYPE SEMICONDUCTOR DEVICE ON SUBSTRATE

(57)Abstract:

PURPOSE: To obtain a thin type package, by positioning the surface of the tip of an inner lead, lower than the main surface of a semiconductor chip, and positioning the inner lead between the main surface of the semiconductor chip and the rear facing the main surface.

CONSTITUTION: The bonding surface (upper surface) of an inner lead 2A is positioned lower than the main surface of a semiconductor chip 1, and the rear (lower surface) facing the bonding surface of the inner lead 2A is positioned higher than the rear facing the main surface of the semiconductor chip 1, Thereby the loop height of the bonding wire 6 can be more lowered, and the length of the bonding wire 6 can be more shortened. By performing inverse bonding, the amount of mold resin 7 on the bonding wire 6 can be reduced. Thereby a thin type semiconductor device can be thinned.



**BEST AVAILABLE COPY**

## LEGAL STATUS

[Date of request for examination]

30.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number] 2934119

[Date of registration] 28.05.1999

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] While the point of an inner lead is arranged near the circumference edge of a semiconductor chip and some insulating film tapes are stuck on the principal plane of said semiconductor chip with adhesives. Other parts of this insulating film tape are stuck on said a part of inner lead with adhesives. Said inner lead corresponding to the electrode pad and they which were prepared in the principal plane of said semiconductor chip is electrically connected by the bonding wire. The closure of said semiconductor chip, an inner lead, an insulating film tape, and the bonding wire is carried out by mold resin. The thickness of said insulating film tape It is formed below in the height from the principal plane of said semiconductor chip to the top-most vertices of a bonding wire. It is the thin semiconductor device characterized by locating the top face of the point of an inner lead to which said bonding wire was connected below the principal plane of said semiconductor chip, and locating said inner lead between the principal plane of said semiconductor chip, and its rear face which counters this.

[Claim 2] An according [ on a thin semiconductor device according to claim 1 and / said bonding wire ] to ball bonding method ball side is the thin semiconductor device characterized by having the structure where it is prepared in said inner lead and the non-ball side is prepared in the electrode pad of said semiconductor chip.

[Claim 3] Some top faces of an inner lead on which said insulating film tape was stuck in the thin semiconductor device according to claim 1 or 2 are thin semiconductor devices characterized by being located in the same field as the principal plane of said semiconductor chip.

[Claim 4] It is the thin semiconductor device characterized [ in / among claim 1 thru/or claims 3 / a thin semiconductor device given in any 1 term ] by the thing of the thickness of the direction where said inner lead is perpendicular to the principal plane of the semiconductor chip of said mold resin for which it projects from a center section mostly and an outer lead is formed.

[Claim 5] It is the thin semiconductor device characterized by the width of face of a direction perpendicular to the principal plane of the semiconductor chip of said outer lead consisting of greatly width of face of a direction perpendicular to the principal plane of the semiconductor chip of said mold resin in a thin semiconductor device according to claim 4.

[Claim 6] It sets to a thin semiconductor device given in any 1 term among claim 1 thru/or claim 3. Said inner lead It projects from a center section mostly and an outer lead is formed. the thickness of a direction perpendicular to the principal plane of the semiconductor chip of said mold resin — this outer lead A part for part I which the thickness direction of said mold resin projected almost in parallel with the principal plane of said semiconductor chip from the center section mostly, A part for part II which bent from a part for this part I to the principal plane side of said semiconductor chip, A part for part III which constitutes the same side mostly from a part for this part II with one front face of the mold resin by the side of the principal plane of said semiconductor chip, A part for part IV which breaks into its principal plane [ of said semiconductor chip ], and rear-face side which counters from a part for this part III, and becomes the principal plane and perpendicular of a semiconductor chip mostly, The thin semiconductor device characterized by consisting of parts for part V which constitute the same side mostly toward said mold resin with the inferior surface of tongue of the mold resin by the side of the

rear face of said semiconductor chip from a part for this part IV.

[Claim 7] In a thin semiconductor device according to claim 4 said outer lead A part for part I which the thickness direction of said mold resin projected almost in parallel with the principal plane of said semiconductor chip from the center section mostly, A part for part II which bent from a part for this part I to the principal plane side of said semiconductor chip, A part for part III which constitutes the same side mostly from a part for this part II with one front face of the mold resin by the side of the principal plane of said semiconductor chip, A part for part IV which breaks into its principal plane [ of said semiconductor chip ], and rear-face side which counters from a part for this part III, and becomes the principal plane and perpendicular of a semiconductor chip mostly, The thin semiconductor device characterized by consisting of parts for part V which constitute the same side mostly toward said mold resin with the inferior surface of tongue of the mold resin by the side of the rear face of said semiconductor chip from a part for this part IV.

[Claim 8] The thin semiconductor device characterized by forming the deposit in the front face of said outer lead in a thin semiconductor device given in any 1 term among claim 4 thru/or claim 7.

[Claim 9] While the point of an inner lead is arranged near the circumference edge of a semiconductor chip and some insulating film tapes are stuck on the principal plane of said semiconductor chip with adhesives Other parts of this insulating film tape are stuck on said a part of inner lead with adhesives. Said inner lead corresponding to the electrode pad and they which were prepared in the principal plane of said semiconductor chip is electrically connected by the bonding wire. The closure of said semiconductor chip, an inner lead, an insulating film tape, and the bonding wire is carried out by mold resin. The thickness of said insulating film tape It is formed below in the height from the principal plane of said semiconductor chip to the top-most vertices of a bonding wire. Said inner lead It projects from a center section mostly and an outer lead is formed. the thickness of a direction perpendicular to the principal plane of the semiconductor chip of said mold resin — said outer lead A part for part I which the thickness direction of said mold resin projected almost in parallel with the principal plane of said semiconductor chip from the center section mostly, A part for part II which bent from a part for this part I to the principal plane side of said semiconductor chip, A part for part III which constitutes the same side mostly from a part for this part II with one front face of the mold resin by the side of the principal plane of said semiconductor chip, A part for part IV which breaks into its principal plane [ of said semiconductor chip ], and rear-face side which counters from a part for this part III, and becomes the principal plane and perpendicular of a semiconductor chip mostly, The thin semiconductor device characterized by consisting of parts for part V which constitute the same side mostly toward said mold resin with the inferior surface of tongue of the mold resin by the side of the rear face of said semiconductor chip from a part for this part IV.

[Claim 10] In a thin semiconductor device according to claim 9, the top face of the point of an inner lead to which said bonding wire was connected is located below the principal plane of said semiconductor chip. Said inner lead is located between the principal plane of said semiconductor chip, and its rear face which counters this; And said bonding wire The thin semiconductor device characterized by having the structure where the ball side by the ball bonding method is prepared in said inner lead, and the non-ball side is prepared in the electrode pad of said semiconductor chip.

[Claim 11] Some top faces of an inner lead on which the top face of the point of an inner lead to which said bonding wire was connected was located below the principal plane of said semiconductor chip in the thin semiconductor device according to claim 9, and said inner lead was located between the principal plane of said semiconductor chip and its rear face which counters this, and said insulating film tape was stuck are thin semiconductor devices characterized by being located in the same field as the principal plane of said semiconductor chip.

[Claim 12] It is the thin semiconductor device which carries out the description of the thing of the thickness of the direction where said inner lead is perpendicular to the principal plane of the semiconductor chip of said mold resin for which it projects from a center section mostly and the outer

lead is formed in a thin semiconductor device according to claim 9.

[Claim 13] It is the thin semiconductor device characterized by the width of face of a direction perpendicular to the principal plane of the semiconductor chip of said outer lead consisting of greatly width of face of a direction perpendicular to the principal plane of the semiconductor chip of said mold resin in a thin semiconductor device according to claim 12.

[Claim 14] The module-structure object characterized by mounting two or more thin semiconductor devices according to claim 1 in a substrate.

[Claim 15] It is the module-structure object characterized by being soldered to the outer lead to which the thin semiconductor device of the thickness of the direction where said inner lead is perpendicular to the principal plane of the semiconductor chip of said mold resin with which it projects from a center section mostly, an outer lead is formed, the laminating of said thin semiconductor device is carried out on a substrate, and the outer lead of said thin semiconductor device adjoins corresponds in a module-structure object according to claim 14, respectively.

[Claim 16] It is the module-structure object characterized by being soldered to the outer lead to which the thin semiconductor device of the thickness of the direction where said inner lead is perpendicular to the principal plane of the semiconductor chip of said mold resin with which it projects from a center section mostly and an outer lead is formed, said thin semiconductor device adjoins on said substrate, and is arranged, and each outer lead of said thin semiconductor device adjoins corresponds in a module-structure object according to claim 14, respectively.

[Claim 17] In a module-structure object according to claim 15 each of said outer lead A part for part I which the thickness direction of said mold resin projected almost in parallel with the principal plane of said semiconductor chip from the center section mostly, A part for part II which bent from a part for this part I to the principal plane side of said semiconductor chip, A part for part III which constitutes the same side mostly from a part for this part II with one front face of the mold resin by the side of the principal plane of said semiconductor chip, A part for part IV which breaks into its principal plane [ of said semiconductor chip ], and rear-face side which counters from a part for this part III, and becomes the principal plane and perpendicular of a semiconductor chip mostly, It consists of parts for part V which constitute the same side mostly toward said mold resin with the inferior surface of tongue of the mold resin by the side of the rear face of said semiconductor chip from a part for this part IV. One of the thin semiconductor devices mounted in said substrate One with the another thin semiconductor device with which a part for part V of that outer lead was soldered to said substrate, and was mounted on this one thin semiconductor device The module-structure object characterized by soldering a part for part V of the outer lead to a part for part III of the outer lead to which said one thin semiconductor device corresponds.

[Claim 18] In a module-structure object according to claim 16 each of one outer lead of said thin semiconductor device A part for part I which the thickness direction of said mold resin projected almost in parallel with the principal plane of said semiconductor chip from the center section mostly, A part for part II which bent from a part for this part I to the principal plane side of said semiconductor chip, A part for part III which constitutes the same side mostly from a part for this part II with one front face of the mold resin by the side of the principal plane of said semiconductor chip, A part for part IV which breaks into its principal plane [ of said semiconductor chip ], and rear-face side which counters from a part for this part III, and becomes the principal plane and perpendicular of a semiconductor chip mostly, It consists of parts for part V which constitute the same side mostly toward said mold resin with the inferior surface of tongue of the mold resin by the side of the rear face of said semiconductor chip from a part for this part IV. Each of one another outer lead of said thin semiconductor device A part for part I which the thickness direction of said mold resin projected almost in parallel with the principal plane of said semiconductor chip from the center section mostly, A part for part II which bent from a part for this part I to the principal plane side of said semiconductor chip, A part for part III which constitutes the same side mostly from a part for this part II with one front face of the mold resin by the side of the

principal plane of said semiconductor chip, A part for part IV which breaks into its principal plane [ of said semiconductor chip ], and rear-face side which counters from a part for this part III, and becomes the principal plane and perpendicular of a semiconductor chip mostly, It consists of parts for part V which constitute the same side mostly toward said mold resin with the inferior surface of tongue of the mold resin by the side of the rear face of said semiconductor chip from a part for this part IV. Each of said thin semiconductor device It is the module-structure object characterized by soldering a part for part V of the outer lead to said substrate, and soldering a part for part IV of one outer lead of said thin semiconductor device with a part for part IV of one another corresponding outer lead of said thin semiconductor device.

[Claim 19] While the point of an inner lead is arranged near the circumference edge of a semiconductor chip and some insulating film tapes are stuck on the principal plane of said semiconductor chip with adhesives Other parts of this insulating film tape are stuck on said a part of inner lead with adhesives. Said inner lead corresponding to the electrode pad and they which were prepared in the principal plane of said semiconductor chip is electrically connected by the bonding wire. The closure of said semiconductor chip, an inner lead, an insulating film tape, and the bonding wire is carried out by mold resin. The thickness of said insulating film tape It is formed below in the height from the principal plane of said semiconductor chip to the top-most vertices of a bonding wire. The top face of the point of an inner lead to which said bonding wire was connected is located below the principal plane of said semiconductor chip. Said inner lead is located between the principal plane of said semiconductor chip, and its rear face which counters this. And said inner lead It is the mounting approach of mounting in a substrate two or more thin semiconductor devices of the thickness of a direction perpendicular to the principal plane of the semiconductor chip of said mold resin which project from a center section mostly and form an outer lead. On a substrate, one of said the thin semiconductor devices is mounted by soldering the outer lead to said substrate. The mounting approach of the thin semiconductor device characterized by mounting one with said another thin semiconductor device by soldering to the outer lead corresponding to [ in said one thin semiconductor device ] said one thin semiconductor device top for the outer lead.

[Claim 20] In the mounting approach of a thin semiconductor device according to claim 19 the outer lead of said thin semiconductor device A part for part I which the thickness direction of said mold resin projected almost in parallel with the principal plane of said semiconductor chip from the center section mostly, A part for part II which bent from a part for this part I to the principal plane side of said semiconductor chip, A part for part III which constitutes the same side mostly from a part for this part II with one front face of the mold resin by the side of the principal plane of said semiconductor chip, A part for part IV which breaks into its principal plane [ of said semiconductor chip ], and rear-face side which counters from a part for this part III, and becomes the principal plane and perpendicular of a semiconductor chip mostly, It consists of parts for part V which constitute the same side mostly toward said mold resin with the inferior surface of tongue of the mold resin by the side of the rear face of said semiconductor chip from a part for this part IV. The step which mounts one of said the thin semiconductor devices in said substrate The step which has the step which solders a part for part V of that outer lead to said substrate, and mounts one with said another thin semiconductor device on this one thin semiconductor device The mounting approach of the thin semiconductor device characterized by having the step which solders a part for part V of another outer lead of said thin semiconductor device to a part for part III of the outer lead to which said one thin semiconductor device corresponds, respectively.

[Claim 21] While the point of an inner lead is arranged near the circumference edge of a semiconductor chip and some insulating film tapes are stuck on the principal plane of said semiconductor chip with adhesives Other parts of this insulating film tape are stuck on said a part of inner lead with adhesives. Said inner lead corresponding to the electrode pad and they which were prepared in the principal plane of said semiconductor chip is electrically connected by the bonding wire. The closure of said

semiconductor chip, an inner lead, an insulating film tape, and the bonding wire is carried out by mold resin. The thickness of said insulating film tape It is formed below in the height from the principal plane of said semiconductor chip to the top-most vertices of a bonding wire. The top face of the point of an inner lead to which said bonding wire was connected is located below the principal plane of said semiconductor chip. Said inner lead is located between the principal plane of said semiconductor chip, and its rear face which counters this. And said inner lead It is the mounting approach of mounting in a substrate two or more thin semiconductor devices of the thickness of a direction perpendicular to the principal plane of the semiconductor chip of said mold resin which project from a center section mostly and form an outer lead. One with said another thin semiconductor device is mounted by soldering to the outer lead corresponding to [ in said one thin semiconductor device ] one top of said the thin semiconductor devices for the outer lead. The mounting approach of the thin semiconductor device characterized by mounting one of said the thin semiconductor devices by soldering the outer lead to said substrate on a substrate.

[Claim 22] In the mounting approach of a thin semiconductor device according to claim 21 the outer lead of said thin semiconductor device A part for part I which the thickness direction of said mold resin projected almost in parallel with the principal plane of said semiconductor chip from the center section mostly, A part for part II which bent from a part for this part I to the principal plane side of said semiconductor chip, A part for part III which constitutes the same side mostly from a part for this part II with one front face of the mold resin by the side of the principal plane of said semiconductor chip, A part for part IV which breaks into its principal plane [ of said semiconductor chip ], and rear-face side which counters from a part for this part III, and becomes the principal plane and perpendicular of a semiconductor chip mostly, It consists of parts for part V which constitute the same side mostly toward said mold resin with the inferior surface of tongue of the mold resin by the side of the rear face of said semiconductor chip from a part for this part IV. The step which mounts one with said another thin semiconductor device on one of said the thin semiconductor devices It has the step which solders a part for part V of another outer lead of said thin semiconductor device to a part for part III of the outer lead to which said one thin semiconductor device corresponds, respectively. The step which mounts one of said the thin semiconductor devices in said substrate is the mounting approach of the thin semiconductor device characterized by having the step which solders a part for part V of the outer lead to said substrate.

[Claim 23] While the point of an inner lead is arranged near the circumference edge of a semiconductor chip and some insulating film tapes are stuck on the principal plane of said semiconductor chip with adhesives Other parts of this insulating film tape are stuck on said a part of inner lead with adhesives. Said inner lead corresponding to the electrode pad and they which were prepared in the principal plane of said semiconductor chip is electrically connected by the bonding wire. The closure of said semiconductor chip, an inner lead, an insulating film tape, and the bonding wire is carried out by mold resin. The thickness of said insulating film tape It is formed below in the height from the principal plane of said semiconductor chip to the top-most vertices of a bonding wire. The top face of the point of an inner lead to which said bonding wire was connected is located below the principal plane of said semiconductor chip. Said inner lead is located between the principal plane of said semiconductor chip, and its rear face which counters this. And said inner lead Project from a center section mostly and an outer lead is formed. the thickness of a direction perpendicular to the principal plane of the semiconductor chip of said mold resin — Are the mounting approach of mounting in a substrate two or more thin semiconductor devices with which the solder deposit was formed in the front face of said outer lead, and on a substrate, said thin semiconductor device so that the outer lead to which an adjoining thin semiconductor device corresponds may touch mutually A laminating is carried out so that the outer lead of one thin semiconductor device on said substrate may touch said substrate. And said substrate, The mounting approach of the thin semiconductor device characterized by heating the thin semiconductor device by which the laminating was carried out on said substrate at predetermined



temperature, and melting the solder deposit of the outer lead of each of said thin semiconductor device.

[Claim 24] In the mounting approach of a thin semiconductor device according to claim 23 said outer lead A part for part I which the thickness direction of said mold resin projected almost in parallel with the principal plane of said semiconductor chip from the center section mostly, A part for part II which bent from a part for this part I to the principal plane side of said semiconductor chip, A part for part III which constitutes the same side mostly from a part for this part II with one front face of the mold resin by the side of the principal plane of said semiconductor chip, A part for part IV which breaks into its principal plane [ of said semiconductor chip ], and rear-face side which counters from a part for this part III, and becomes the principal plane and perpendicular of a semiconductor chip mostly, It consists of parts for part V which constitute the same side mostly toward said mold resin with the inferior surface of tongue of the mold resin by the side of the rear face of said semiconductor chip from a part for this part IV. The step which carries out the laminating of said thin semiconductor device on said substrate The mounting approach of the thin semiconductor device characterized by having the step which arranges a part for part V of one outer lead of two thin semiconductor devices with which said thin semiconductor device adjoins so that a part for part III of the outer lead to which another side of said adjoining thin semiconductor device corresponds may be touched, respectively.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the thin semiconductor device applied to the bulk memory equipment of the compact package which accumulated the memory card or the semiconductor device on multistage especially etc., the module-structure object using it, and the mounting approach of mounting this thin semiconductor device in a substrate, about the mounting approach of a thin semiconductor device, the module-structure object which used it, and this thin semiconductor device.

[0002]

[Description of the Prior Art] As a compact package of the conventional thin semiconductor device, the TSOP (Thin Small Out-line Package) mold of 1.2mm thickness which adopted the leadframe with a tab and the wirebonding method is developed. This is indicated by GINE83 of Hitachi Issue, for example.

[0003] Moreover, in the memory card of 3.3mm thickness, the mass memory card which carried out double-sided mounting of the thin semiconductor device of a TSOP mold, and made mounting effectiveness max is developed. However, since the demand of a thinner TSOP mold is strong, the TCP (Tape Carrier Package) mold of 0.5mm thickness made into the same appearance size as a TSOP mold is proposed. This is indicated by a Nikkei micro device, the February, 1991 issue, and 65-66 pages, for example. This TCP type of thin semiconductor device makes a semiconductor chip thin about 0.2mm, connects a semiconductor chip and an inner lead electrically by the bonding of a TAB (Tape Automated Bonding) method, and consists of structures which carried out plastics mold.



[0004] Moreover, the semiconductor device which was made to make thickness of a package thin is indicated by JP,4-106941,A by carrying out adhesion immobilization of the component supporter which consists of thin heatproof resin fabricated by a part of principal plane (component forming face) of a semiconductor chip, and a part of each of an inner lead from polyimide. In this equipment, when connecting the electrode and inner lead of a semiconductor chip by the bonding wire (metal thin line), spacing of the edge of a semiconductor chip and a bonding wire is enlarged as [ start / short / poor ], and the principal plane of a semiconductor chip and the top face of an inner lead are made into the same flat surface.

[0005] Moreover, the inner lead which consists of a metal membrane is arranged on an insulating tape, and the semiconductor device which supported the principal plane of a semiconductor chip on some the inferior surface of tongue of this insulating tape is indicated by JP,3-261153,A.

[0006] Moreover, the tab section (die pad section) of a leadframe is arranged on the principal plane of a semiconductor chip, and the semiconductor device which supported the semiconductor chip in this tab section is indicated by JP,1-286342,A.

[0007]

[Problem(s) to be Solved by the Invention] this invention person found out the following trouble, as a result of examining the thin semiconductor device of the TCP mold which adopts the above-mentioned TAB method.

[0008] (1) Since the outer lead consists of copper (Cu) foils, the reinforcement of an outer lead is weak. Therefore, a lead bends and poor contact is generated.

[0009] (2) Since the reinforcement of an outer lead is weak, sorting of a socket is difficult.

[0010] (3) Since bonding of a TAB method is used, as compared with the bonding of a leadframe method, it becomes expensive.

[0011] Moreover, in JP,4-106941,A, since the principal plane of a semiconductor chip and the top face of an inner lead are made into the same flat surface, when connecting the electrode and inner lead of a semiconductor chip by the bonding wire, (the height to the top-most-vertices section which went perpendicularly from the principal plane of a semiconductor chip) becomes high in the loop-formation height of a bonding wire, and a thin package is not obtained. Furthermore, since the principal plane of a semiconductor chip and the top face of an inner lead are located at the same flat surface even if it connects a bonding wire by wire reverse bonding, a package cannot be made sufficiently thin.

[0012] Moreover, in JP,3-261153,A, since the top face of an inner lead is located above the principal plane of a semiconductor chip, the loop-formation height of a bonding wire becomes high, and a thin package is not obtained.

[0013] Moreover, in JP,1-286342,A, the die pad section thicker than a resin tape is on the principal plane of a semiconductor chip, and the top face of an inner lead is located above the principal plane of a semiconductor chip. Therefore, the loop-formation height of a bonding wire becomes high, and a thin package is not obtained.

[0014] The purpose of this invention is to offer the thin semiconductor device of the TOC (Tape On Chip) package of 0.5mm thickness extent, the module-structure object which used it, and the mounting approach of mounting it in a substrate.

[0015] Other purposes of this invention are to offer the thin semiconductor device which is 0.5mm thickness extent with the high outer lead reinforcement which used the leadframe, the module-structure object using it, and the mounting approach of mounting it in a substrate.

[0016] As new along [ said ] this invention a description as the other purposes will become clear by description and the accompanying drawing of this specification.

[0017]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0018] (1) While the point of an inner lead is arranged near the circumference edge of a semiconductor

chip and some insulating film tapes are stuck on the principal plane of said semiconductor chip with adhesives. Other parts of this insulating film tape are stuck on said a part of inner lead with adhesives. Said inner lead corresponding to the electrode pad and they which were prepared in the principal plane of said semiconductor chip is electrically connected by the bonding wire. The closure of said semiconductor chip, an inner lead, an insulating film tape, and the bonding wire is carried out by mold resin. The thickness of said insulating film tape is formed below in the height from the principal plane of said semiconductor chip to the top-most vertices of a bonding wire. The top face of the point of an inner lead to which said bonding wire was connected is located below the principal plane of said semiconductor chip, and said inner lead is a thin semiconductor device located between the principal plane of said semiconductor chip, and its rear face which counters this.

[0019] (2) The ball side by the ball bonding method is connected to said inner lead, and said bonding wire has the structure where the non-ball side is prepared in the electrode pad of said semiconductor chip.

[0020] (3) Some top faces of an inner lead on which said insulating film tape was stuck are located in the same field as the principal plane of said semiconductor chip.

[0021] (4) the thickness of the direction where said inner lead is perpendicular to the principal plane of the semiconductor chip of said mold resin — project from a center section mostly and form an outer lead.

[0022] (5) The width of face of a direction perpendicular to the principal plane of the semiconductor chip of said outer lead is constituted more greatly than the width of face of a direction perpendicular to the principal plane of the semiconductor chip of said mold resin.

[0023] (6) A part for part I to which the thickness direction of said mold resin projected said outer lead almost in parallel with the principal plane of said semiconductor chip from the center section mostly, A part for part II which bent from a part for this part I to the principal plane side of said semiconductor chip, A part for part III which constitutes the same side mostly from a part for this part II with one front face of the mold resin by the side of the principal plane of said semiconductor chip, It consists of parts for a part for part IV which breaks into its principal plane [ of said semiconductor chip ], and rear-face side which counters from a part for this part III, and becomes the principal plane and perpendicular of a semiconductor chip mostly, and part V which constitute the same side mostly toward a part for this part IV to said mold resin with the inferior surface of tongue of the mold resin by the side of the rear face of said semiconductor chip.

[0024] (7) A solder deposit is formed in the front face of said outer lead.

[0025]

[Function] While according to the means (1) mentioned above the point of an inner lead is arranged near the circumference edge of a semiconductor chip and some insulating film tapes are stuck on the principal plane of said semiconductor chip with adhesives. Other parts of this insulating film tape are stuck on said a part of inner lead with adhesives. Said inner lead corresponding to the electrode pad and they which were prepared in the principal plane of said semiconductor chip is electrically connected by the bonding wire. The closure of said semiconductor chip, an inner lead, an insulating film tape, and the bonding wire is carried out by mold resin. The thickness of said insulating film tape It is formed below in the height from the principal plane of said semiconductor chip to the top-most vertices of a bonding wire. Since the field of the point of an inner lead to which said bonding wire was connected is located below the principal plane of said semiconductor chip and said inner lead is located between the principal plane of said semiconductor chip, and its rear face which counters this The thin semiconductor device of the TOC (Tape On Chip) package which is 0.5mm thickness extent with the high reinforcement of an outer lead can be obtained.

[0026] Since it is possible to prepare thick mold resin in the bonding wire bottom by preparing an according [ the structure of a bonding wire ] to ball bonding method ball side in an inner lead, and preparing the non-ball side in the semiconductor chip according to the means (2) mentioned above, a still thinner super-thin semiconductor device is obtained.

[0027] Since some top faces of an inner lead on which said insulating film tape was stuck are located in the same field as the principal plane of said semiconductor chip according to the means (3) mentioned above, an insulating film tape can be easily stuck on an inner lead.

[0028] according to the means (4) mentioned above — the thickness of the direction where said inner lead is perpendicular to the principal plane of the semiconductor chip of said mold resin — since it projects from a center section mostly and an outer lead is formed, thickness of mold resin can be made thin.

[0029] According to the means (5) mentioned above, in the case of soldering to a substrate, since the width of face of a direction perpendicular to the principal plane of the semiconductor chip of said outer lead is constituted more greatly than the width of face of a direction perpendicular to the principal plane of the semiconductor chip of said mold resin, even if curvature etc. arises in a substrate, it can be soldered good.

[0030] According to the means (6) mentioned above, said outer lead A part for part I which the thickness direction of said mold resin projected almost in parallel with the principal plane of said semiconductor chip from the center section mostly, A part for part II which bent from a part for this part I to the principal plane side of said semiconductor chip, A part for part III which constitutes the same side mostly from a part for this part II with one front face of the mold resin by the side of the principal plane of said semiconductor chip, It consists of parts for a part for part IV which breaks into its principal plane [ of said semiconductor chip ], and rear-face side which counters from a part for this part III, and becomes the principal plane and perpendicular of a semiconductor chip mostly, and part V which constitute the same side mostly toward a part for this part IV to said mold resin with the inferior surface of tongue of the mold resin by the side of the rear face of said semiconductor chip. Thus, since the stress by the temperature cycle in the case of soldering is absorbable by incurvating an outer lead, and lengthening the dimension of an outer lead, and giving resiliency, it can prevent that a crack occurs in the solder of the mounting section.

[0031] Since a soldering process can be performed at once when according to the means (7) mentioned above it can carry out by putting soldering in block and carries out two or more laminatings of the thin semiconductor device especially, it can decrease sharply like an erector.

[0032]

[Example] Hereafter, the example of this invention is explained to a detail with reference to a drawing.

[0033] In addition, in the complete diagram for explaining an example, what has the same function attaches the same sign, and explanation of the repeat is omitted.

[0034] The top view and drawing 2 which show the outline configuration in the condition that drawing 1 removed the upper part of the mold resin of the thin semiconductor device which adopts the TOC package structure by the 1st example of this invention The sectional view and drawing 3 which were cut with the II-II cutting plane line shown in drawing 1 The sectional view and drawing 4 which were cut with the III-III cutting plane line shown in drawing 1 Drawing and drawing 5 which show the modification which changed the support gestalt by the insulating film tape of the 1st example The sectional view and drawing 6 which show the configuration of the modification which established optical incidence cutoff means, such as aluminium foil, on the principal plane of the semiconductor chip of the 1st example The sectional view and drawing 7 which show the condition of having been mounted so that the principal plane side of the semiconductor chip of the 1st example might counter a mounting substrate The sectional view and drawing 8 which show the layered product by the 2nd example which accumulated two steps of thin semiconductor devices of the 1st example The sectional view for explaining how to mount the thin semiconductor device of the 1st example in a substrate, and drawing 9 The sectional view for explaining how to mount the thin semiconductor device of the 1st example in a substrate two steps, and drawing 10 The sectional view for explaining other examples which mount the thin semiconductor device of this invention in a substrate, and drawing 11 The perspective view showing the example of the module-structure object with which the thin semiconductor device of this invention was

used for the sectional view for explaining other methods of mounting the thin semiconductor device of this invention in a substrate two steps and drawing 12 , and drawing 13 are the perspective views showing other examples of the module-structure object which used the thin semiconductor device of this invention.

[0035] As the thin semiconductor device (TOC package structure) of the 1st example is shown in drawing 1 and drawing 2 , each point of two or more inner lead (inner section of lead 2) 2A is arranged in the plane near the circumference edge of a semiconductor chip 1. Some insulating film tapes 3 formed in the shape of a stripe are stuck on the principal plane of a semiconductor chip 1 with adhesives 4. Other parts of this insulating film tape 3 are stuck on some inner lead 2A of the two or more inner lead 2A. moreover, other parts of the insulating film tape 3 — at least one [ for example, ] when it hangs and the lead 5 is established — it hangs and is stuck on the lead 5 with adhesives 4. Two or more electrode pad 1A is arranged at the principal plane of a semiconductor chip 1, and each of two or more of these electrode pad 1A is electrically connected for every each by two or more corresponding each and bonding wires 6 of inner lead 2A. The closure of these semiconductor chips 1, inner lead 2A, the insulating film tape 3, and the bonding wire 6 grade is carried out by mold resin 7. That is, a thin semiconductor device consists of TOC package structures.

[0036] In addition, said insulating film tape 3 for support of a semiconductor chip 1 is four or more points preferably, or supports inner lead 2A by at least three points so that a semiconductor chip 1 may be twisted at the time of mold or it may not move by not inclining. That is, when [ which was shown in drawing 4 by the continuous line and the dotted line ] supporting by four points, and inner lead 2A may be supported by the four points and it supports by three points, for example using the insulating cross-joint-like film tape 3, inner lead 2A may be supported by the three points using the insulating T character-like film tape 3 shown as the continuous line to drawing 4 . In this case, when [ at least one ] it hangs and the lead 5 is established, it may hang by at least one point of said insulating film tape 3, and lead 5 may be supported.

[0037] As said insulating film tape 3, polyimide system resin is used and polyimide system resin or epoxy system resin is used as adhesives 4, for example. And the thickness of the insulating film tape 3 is the thickness below the height (it is hereafter called loop-formation height) from the principal plane of a semiconductor chip 1 to the crowning of a bonding wire 6, for example, as shown in drawing 2 , it is 0.05mm also including the thickness of adhesives 4. The thickness dimension of each part other than said insulating film tape 3 is 0.12mm in 0.28mm in 0.10mm in thickness from the inferior surface of tongue (rear face) of mold resin 7 to a semiconductor chip 1, and thickness of a semiconductor chip 1, and thickness from the principal plane of a semiconductor chip 1 to the top face of mold resin 7, and spacing of a mounting substrate side and the inferior surface of tongue of mold resin 7 is 0.03mm.

[0038] The epoxy system resin with which a phenol system curing agent, silicone rubber, and a filler were added is used for said mold resin 7 in order to attain for example, low stress-ization.

[0039] Using the ball bonding method, the ball side of a bonding wire 6 is prepared in inner lead 2A, and, as for the bonding of said bonding wire 6, the non-ball side is prepared in the semiconductor chip 1. Thus, since the amount of the mode resin 7 on the bonding wire 6 increases by carrying out reverse bonding, if improvement in dependability can be aimed at if it is the same thickness and it is satisfactory in respect of dependability, since the amount of the mode resin 7 on a bonding wire 6 can be reduced, it is possible to make it still thinner. Therefore, whether it is made reverse bonding in this way or bonding is usually carried out should just choose according to the demand of the thickness of a thin semiconductor device.

[0040] Furthermore, the rear face (inferior surface of tongue) which the bonding side (top face) of inner lead 2A is located below the principal plane of a semiconductor chip 1, and counters the bonding side of inner lead 2A is located above the rear face which counters the principal plane of a semiconductor chip 1 so that clearly from drawing 2 . The loop-formation height of a bonding wire 6 can be made lower by this, and the wire length of a bonding wire 6 can be shortened more.

[0041] Moreover, the point of inner lead 2A on which the insulating film tape 3 is stuck among said two or more inner lead 2A is bent, and since it is arranged in the location of the same height as the principal plane of a semiconductor chip 1 as shown in drawing 3, attachment of the insulating film tape 3 tends to carry out it.

[0042] moreover, lead 2 is shown in drawing 2 — as — mold resin 7, i.e., the thickness direction of a package, — it has projected from the center section mostly.

[0043] Moreover, partial 2B1 to which the thickness direction of a package projected outer lead 2B almost in parallel with the principal plane of a semiconductor chip 1 from the center section mostly, Then, partial 2B2 which bent to the principal plane side of a semiconductor chip 1, and the package front face by the side of the principal plane of after that and a semiconductor chip 1 and partial 2B3 which constitutes the same side mostly, Then, it is formed by partial 2B4 which breaks in the principal plane and the opposite side of a semiconductor chip 1, and becomes the principal plane and perpendicular of a semiconductor chip 1 mostly, and partial 2B5 which accomplishes the almost same height as the principal plane of a semiconductor chip 1, and the front face of the package by the side of the field of the opposite side toward after that and a package. In addition, the inferior surface of tongue of partial 2B5 of outer lead 2B is preferably projected about 0.03mm to the inferior surface of tongue of mold resin (package) 7. Thereby, even if a substrate curves in the case of soldering at the time of mounting to the substrate of a thin semiconductor device or it is distorted, partial 2B5 of outer lead 2B can be certainly soldered to a substrate.

[0044] Moreover, when a thin semiconductor device is soldered on a substrate like drawing 9 and drawing 11 and a laminating is carried out to the upper part, partial 2B4 of outer lead 2B does not need to accomplish a perpendicular mostly with a principal plane, and may incline from a field perpendicular to the principal plane of a semiconductor chip 1.

[0045] in addition, outer lead 2B — drawing 2 — symmetrical — the thickness direction of a package — you may form so that it may bend from a center to the principal plane side of a semiconductor chip 1 mostly (refer to drawing 6). Such an outer lead 2B is called reverse bending outer lead 2B here, and what is shown in drawing 2 is called forward bending outer lead 2B.

[0046] Thus, since outer lead 2B is incurvated in the shape of about J bends, the overall length of outer lead 2B can be lengthened, and resiliency can be given. Since the stress according by the resiliency of outer lead 2B by making it such a configuration to the temperature cycles at the time of soldering at the time of substrate mounting etc. is absorbed, it can prevent that a crack occurs in the solder of a connection with the wiring pad on a mounting substrate.

[0047] Each of said inner lead 2A and outer lead 2B is constituted by the leadframe in front of a cutting forming cycle at one. This leadframe is formed by for example, the Fe-nickel (for example, nickel content 42 or 50 [%]) alloy, Cu, etc.

[0048] Next, it explains like the erector of the thin semiconductor device of this example briefly.

[0049] Like the erector of the thin semiconductor device of said this example, it carries out in order of the following process.

- (1) Carry out attachment immobilization of the insulating film tape 3 with thermoplastic adhesive 4 at some inner lead 2A of two or more inner lead 2A supported by the leadframe.
- (2) Carry out attachment immobilization of the semiconductor chip 1 with thermoplastic adhesive 4 at said insulating film tape 3 (pellet attachment).
- (3) Carry out vacuum suction of the lower base, fix a semiconductor chip 1, and perform wirebonding.
- (4) By resin (resin), carry out the mold of the whole and close it.
- (5) Perform solder plating processing to each outer lead 2B, and prepare a solder deposit with a thickness of about 10 micrometers in the whole outer lead 2B.
- (6) Perform cutting processing which cuts outer lead 2B from a leadframe.
- (7) Carry out fabrication of each outer lead 2B to the shape of about J bends as mentioned above. The man days of this processing are five processes.

(8) Sort out by attaching a mark.

[0050] Since the leadframe is used as a lead according to this example so that the above explanation may show, reinforcement of outer lead 2B can be strengthened. Moreover, some insulating film tapes 3 are stuck on the principal plane of a semiconductor chip 1 with adhesives 4. Boil some of two or more inner lead 2A, or other parts of this insulating film tape 3 hang, and are stuck on lead 5 with adhesives 4. The point of electrode pad 1A prepared in the principal plane of said semiconductor chip 1 and inner lead 2A is electrically connected by the bonding wire 6. Since the closure of these semiconductor chips 1, inner lead 2A, the insulating film tape 3, and the bonding wire 6 grade is carried out by mold resin 7 and they make the following thickness of said insulating film tape 3 in the loop-formation height of a bonding wire 6 The thin semiconductor device of the TOC package of 0.5mm thickness extent can be obtained.

[0051] Moreover, wire bonding has the reverse bonding wire structure where the ball side of the bonding wire 6 is prepared in inner lead 2A, and the non-ball side is prepared in the semiconductor chip 1, using the ball bonding method. Furthermore, since the bonding side (top face) of inner lead 2A can reduce the mold resin 7 prepared in the bonding wire 6 bottom by being located below the principal plane of a semiconductor chip 1, a still thinner super-thin semiconductor device can be obtained.

[0052] Moreover, since the stress by the temperature cycle is absorbable by incurvating outer lead 2B so that it may have said partial 2B2, lengthening the overall length of outer lead 2B, and giving resiliency, it can prevent that a crack occurs in the solder at the time of mounting.

[0053] Furthermore, in said example, as are shown in drawing 5 , and the optical incidence cutoff means of aluminium foil 10 grade is formed in the principal plane of said semiconductor chip 1 or it is shown in drawing 6 , the principal plane of a semiconductor chip 1 mounts so that the mounting substrate 11 may be countered, and intercepts the optical incidence to the principal plane of a semiconductor chip 1. Thus, since the incidence of the light to the principal plane of a semiconductor chip 1 can be prevented by establishing an optical incidence cutoff means, even if it makes it a super-thin semiconductor device, property degradation of the data retention by light etc. can be prevented.

[0054] Next, the 2nd example of this invention is explained using a drawing.

[0055] The layered product of this example has structure which put the thin semiconductor device of the TOC package of said 1st example on two steps, as shown in drawing 7 .

[0056] In the layered product of this example, both the thin semiconductor device makes the bonding wire 6 of the thin semiconductor device of the lower berth reverse bonding wire structure, although the ball side of the bonding wire 6 is prepared in inner lead 2A and has become the reverse bonding wire with which the non-ball side is prepared in the semiconductor chip 1, and the bonding wire 6 of the thin semiconductor device of an upper case is usually good also as bonding wire structure.

[0057] Even if it piles up a super-thin semiconductor device, according to this example, an about 1mm thin layered product can be obtained so that the above explanation may show.

[0058] In addition, although this example explained the layered product of structure which accumulated the thin semiconductor device on two steps, it could predict easily that it can be made the layered product of the structure further accumulated on multistage.

[0059] In addition, the thin semiconductor device with which the optical incidence electric shielding means shown in drawing 5 was established as a layered product may be accumulated on multistage.

[0060] Next, how to mount the thin semiconductor device and layered product of each of said example in a substrate, and constitute a module-structure object is explained.

[0061] First, how to mount the thin semiconductor device of said 1st example in a substrate is explained with reference to drawing 8 .

[0062] (1) Apply soldering paste to the part (field) corresponding to the M section of outer lead 2B of a thin semiconductor device first among the component sides L of a substrate (for example, printed-circuit board) 11.

[0063] (2) Next, solder by \*\*\*\*(ing) a thin semiconductor device on the component side L of a substrate



11 (for example, solder reflow). In this way, a thin semiconductor device is mounted in a substrate.

[0064] Next, the case where the laminating of the thin semiconductor device is carried out to two steps is briefly explained with reference to drawing 9.

[0065] (1) Apply soldering paste to the N section of outer lead 2B of the thin semiconductor device (A) first mounted in the substrate 11 as mentioned above.

[0066] (2) Next, solder by \*\*\*\*(ing) another thin semiconductor device (B) on said thin semiconductor device (A). By carrying out by repeating such a process, it becomes possible to carry out the laminating of the thin semiconductor device on the component side L of a substrate 11 in two or more steps.

[0067] In addition, after \*\*\*\*(ing) a thin semiconductor device (B) and soldering the N section on a thin semiconductor device (A), the these-unified thin semiconductor device (layered product) may be mounted on the component side L of a substrate 11.

[0068] Next, as a thin semiconductor device, as shown in drawing 10, how to mount in a substrate the thin semiconductor device with which the solder deposits 12A and 12B with a thickness of about 20 micrometers were formed in the whole outer lead 2B is explained.

[0069] In this case, as shown in drawing 10, a thin semiconductor device is \*\*\*\*(ed) on the component side L of a substrate 11, the M section of outer lead 2B melts by heating after that at the temperature (for example, 195 degrees C or more) which is extent into which the solder deposits 12A and 12B melt, and soldering is performed. In addition, the thickness of the solder deposits 12A and 12B has desirable about 20 micrometers so that shaping of outer lead 2B may be performed easily.

[0070] Next, the case where the laminating of the thin semiconductor device with which the solder deposits 12A and 12B were formed in outer lead 2B is carried out to two steps is explained with reference to drawing 11.

[0071] In this case, as shown in drawing 11, the thin semiconductor device of the two-step pile which carried out the laminating of the thin semiconductor device (B) on the thin semiconductor device (A) is \*\*\*\*(ed) on the component side L of a substrate 11, after that, solder deposit 12B of the N section and the M section melts by heating at the above-mentioned temperature, and soldering is made. In such an approach, it is unrelated to the number of stages of a thin semiconductor device, and the process of soldering can be performed at once. In addition, in case the laminating of the thin semiconductor device is carried out, after performing preheating at the temperature of about 190 degrees C, melting a solder deposit slightly, after \*\*\*\*(ing) a thin semiconductor device to a substrate and fixing these thin semiconductor device and a substrate 11, you may make it heat at the temperature of about 195 degrees C.

[0072] In addition, in carrying out the two-step laminating of the thin semiconductor device which \*\*\*\*(ed) DRAM as a thin semiconductor device, the lead pins for chip selects increase in number two [ at a time ] to each thin semiconductor device (added). Therefore, when N stacking layer of the thin semiconductor device of each example is carried out as memory, the lead pins for chip selects increase in number by N to each thin semiconductor device.

[0073] In addition, illustration is omitted, although the deposit is prepared in each outer lead 2B by the thickness of about 10 micrometers the same with being shown in drawing 10 and drawing 11 also in drawing 10, drawing 2 except drawing 11, drawing 3, drawing 5, or drawing 9 as mentioned above.

[0074] Moreover, in each example, the deposit of each outer lead 2B may be prepared only in the part into which soldering of outer lead 2B is performed, and may be prepared only in the outside of outer lead 2B.

[0075] Moreover, in each example, as shown in drawing 10 and drawing 11, silver deposit 12C may be prepared in the part in which the bonding of each inner lead 2A is made.

[0076] Next, some examples of the module-structure object which mounted the thin semiconductor device of said example in the substrate at high density are explained.

[0077] Drawing 12 is the example of the module-structure object in the case of having arranged horizontally the thin semiconductor device which carried out the laminating to two steps for example, in



two trains.

[0078] Between two trains, as shown in drawing 9 or drawing 11 , as for each of the thin semiconductor device (A) of one train, and (B), it has forward bending outer lead 2B, and each of the thin semiconductor device (C) of the train of another side and (D) has reverse bending outer lead 2B, as shown in drawing 6 . In this case, as for both the pin numbers of each outer lead 2B of the thin semiconductor device (C) which counters each outer lead 2B and it of a thin semiconductor device (A) and (B), and (D), 1Pin-10Pin becomes the same, for example. Since the wire length at the time of following, for example, connecting each 1Pin of a thin semiconductor device (A) and (B) and each 1Pin of a thin semiconductor device (C) and (D) can be shortened, while being able to reduce a noise, high speed processing of data is attained. Moreover, since the high density assembly of a thin semiconductor device becomes possible, memory capacity can be enlarged in the same space as the former.

[0079] Next, an approach to assemble said module-structure object is explained.

[0080] First, the case where it is the usual thing as the outer lead of each thin semiconductor device shows drawing 8 and drawing 9 is described.

[0081] As one approach, it is first made to be the same as that of an approach to assemble the layered product of drawing 9 . The thin semiconductor device of one train (A), (B) While soldering comrades, soldering the thin semiconductor device (C) of the train of another side, and (D) by the same approach after that and soldering the layered product of these 2 train to a substrate 11, each partial 2B4 comrades of outer lead 2B which counters mutually [ the thin semiconductor device of two trains ] are soldered. In this case, it solders to the field P section shown in drawing 8 by applying soldering paste.

[0082] Moreover, after soldering a thin semiconductor device (A) and (C) to a substrate, the laminating of each of a thin semiconductor device (D) is carried out, and you may make it solder it on a thin semiconductor device (B) and a thin semiconductor device (C) on this thin semiconductor device (A) as an option.

[0083] On the other hand, as shown in drawing 10 , when outer lead 2B of each thin semiconductor device has the solder deposits 12A and 12B, after arranging thin semiconductor device [ of \*\* BE \*\* ] (A) - (D) like drawing 12 , it can bundle up like the case of the example of drawing 11 , and can solder.

[0084] In addition, what is necessary is to apply this example to what carried out two or more trains arrangement of the thin semiconductor device of a simple substance in the longitudinal direction, and just to arrange by turns the thin semiconductor device which has forward bending and reverse bending outer lead 2B in that case, although the layered product by which the laminating was carried out to two-layer has been arranged in two trains in the example of drawing 12 . Moreover, also when two or more trains arrangement of the layered product which carried out the laminating of the three or more thin semiconductor devices is carried out, this example is applicable and should just arrange by turns the layered product which has forward bending and reverse bending outer lead 2B also in that case in a longitudinal direction.

[0085] Drawing 13 is the example of the module-structure object which has arranged perpendicularly the thin semiconductor device which carried out the laminating to four steps for example, in two trains.

[0086] Each outer lead 2B of each thin (semiconductor device A) - (D) and (E) - (H) of the layered product of two trains is soldered to substrates 21 and 31. Preferably, all outer lead 2Bs of each thin (semiconductor device A) - (D) and (E) - (H) are forward bending or reverse bending. In this case, if 1Pin-10Pin of outer lead 2B of thin semiconductor device (A) - (D) is soldered to the same substrate 31 as outer lead 2B of each thin semiconductor device (E) - (H), for example, a substrate, the wire length at the time of connecting 1Pin of 1 Pin and each thin semiconductor device (E) - (H) of each thin semiconductor device (A) - (D), for example can be shortened. Therefore, while being able to reduce a noise like the example of drawing 12 , high speed processing of data is attained. Moreover, the high density assembly of a thin semiconductor device becomes possible, therefore memory capacity can be enlarged in the same space as the former.

[0087] Next, an approach to assemble the module-structure object constituted in this way is explained.

[0088] First, the case where outer lead 2B of each thin semiconductor device is the usual thing like drawing 8 and drawing 9 is described.

[0089] As one approach, first, thin (semiconductor device A) – (D) of one train is soldered like an approach to assemble the layered product of drawing 9, thin (semiconductor device E) – (H) of the train of another side is soldered by the same approach after that, and the layered product of these 2 train is soldered to substrates 21 and 31, respectively. It solders by applying soldering paste to the field P section of outer lead 2B which shows drawing 8 in the case of soldering to substrates 21 and 31.

[0090] On the other hand, as shown in drawing 10, when outer lead 2B of each thin semiconductor device has the solder deposits 12A and 12B, after arranging thin semiconductor device [ of \*\* BE \*\* ] (A) – (H) like drawing 13, it can bundle up like the case of the example of drawing 11, and can solder.

[0091] As mentioned above, although invention made by this invention person was concretely explained based on said example, as for this invention, it is needless to say for it to be able to change variously in the range which is not limited to said example and does not deviate from the summary.

[0092]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly.

[0093] (1) The thin semiconductor device of the TOC (Tape On Chip) package structure of 0.5mm thickness extent, the module-structure object using it, and the mounting approach of mounting it in a substrate can be offered.

[0094] (2) The thin semiconductor device which is 0.5mm thickness extent with the high outer lead reinforcement using a leadframe, the module-structure object using it, and the mounting approach of mounting it in a substrate can be offered.

[0095] (3) Since it is possible to prepare thick mold resin in the bonding wire bottom, a still thinner super-thin semiconductor device can be offered.

[0096] (4) Since it is located in the field as the principal plane of a semiconductor chip where some top faces of an inner lead on which an insulating film tape is stuck are the same, an insulating film tape can be easily stuck on an inner lead.

[0097] (5) Since a part of outer lead projects from mold resin, even if curvature etc. arises in a substrate, it can solder good in the case of soldering of substrate HE.

[0098] (6) Since the stress by the temperature cycle is absorbable by incurvating an outer lead, and lengthening the overall length of an outer lead, and giving resiliency, it can prevent that a crack occurs in the solder of the mounting section.

[0099] (7) Since it can carry out by putting soldering in block, and a soldering process can be performed at once when two or more laminatings of the thin semiconductor device are carried out especially, it can decrease sharply like an erector.

[0100] (8) Since the incidence of the light to the principal plane of a semiconductor chip can be prevented, even if it makes it a super-thin semiconductor device, property degradation of the data retention by light etc. can be prevented.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] The top view showing the outline configuration in the condition of having removed the upper part of the mold resin of the thin semiconductor device which adopts the TOC package structure by the 1st example of this invention.

[Drawing 2] The sectional view cut with the II-II cutting plane line shown in drawing 1 .

[Drawing 3] The sectional view cut with the III-III cutting plane line shown in drawing 1 .

[Drawing 4] Drawing showing the modification which changed the support gestalt by the insulating film tape of the 1st example.

[Drawing 5] The sectional view showing the configuration of the modification which established optical incidence cutoff means, such as aluminium foil, on the principal plane of the semiconductor chip of the 1st example.

[Drawing 6] The sectional view showing the condition of having been mounted so that the principal plane side of the semiconductor chip of the 1st example might counter a mounting substrate.

[Drawing 7] The sectional view showing the layered product by the 2nd example which accumulated two steps of thin semiconductor devices of the 1st example.

[Drawing 8] The sectional view for explaining how to mount the thin semiconductor device of the 1st example in a substrate.

[Drawing 9] The sectional view for explaining how to mount the thin semiconductor device of the 1st example in a substrate two steps.

[Drawing 10] The sectional view for explaining other examples which mount the thin semiconductor device of this invention in a substrate.

[Drawing 11] The sectional view for explaining other methods of mounting the thin semiconductor device of this invention in a substrate two steps.

[Drawing 12] The perspective view showing the example of the module-structure object using the thin semiconductor device of this invention.

[Drawing 13] The perspective view showing other examples of the module-structure object using the thin semiconductor device of this invention.

### [Description of Notations]

1 [ — An inner lead, 2B / — An outer lead, 3 / — An insulating film tape, 4 / — Adhesives, 5 / — It hangs and is a lead and 6. / — A bonding wire, 7 / — Mold resin, 10 / — Aluminium foil, 11. / — Mounting substrate. ] — A semiconductor chip, 1A — An electrode pad, 2 — A lead, 2A

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-45501

(43)公開日 平成6年(1994)2月18日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 23/50

21/60

25/10

識別記号

U 9272-4M

Y 9272-4M

3 0 1 B 6918-4M

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/ 14

Z

審査請求 未請求 請求項の数24(全 15 頁) 最終頁に続く

(21)出願番号 特願平5-122726

(22)出願日 平成5年(1993)5月25日

(31)優先権主張番号 特願平4-132287

(32)優先日 平4(1992)5月25日

(33)優先権主張国 日本 (J P)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72)発明者 増田 正親

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(74)代理人 弁理士 秋田 収喜

最終頁に続く

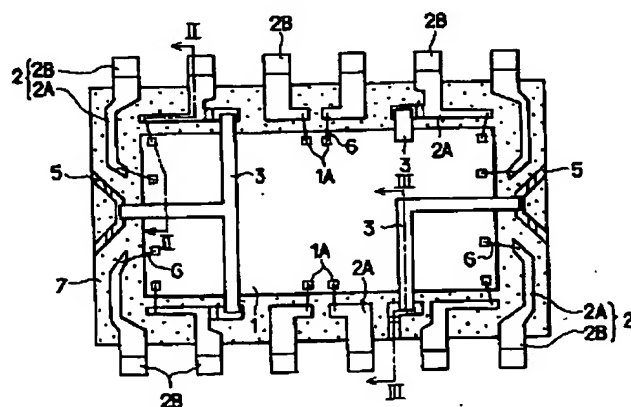
(54)【発明の名称】 薄型半導体装置、それを用いたモジュール構造体、及び該薄型半導体装置を基板に実装する方法

(57)【要約】

【目的】 0.5mm厚程度のTOCパッケージ構造の薄型半導体装置、それを用いたモジュール構造体、及びそれを基板に実装する方法を提供する。

【構成】 半導体チップ1の周辺端部の近傍にインナーリード2Aの先端部が配設され、前記半導体チップ1の主面に絶縁フィルムテープ3の一部が貼り付けられると共に、他の部分が前記インナーリード2Aの一部に貼り付けられ、前記半導体チップ1の主面に設けられた電極パッド1Aと前記インナーリード2Aの先端部とがボンディングワイヤ6で電氣的に接続され、これらがモールド樹脂7で封止され、前記絶縁フィルムテープ3の厚さは、前記半導体チップ1の主面からボンディングワイヤ6の頂点までの高さ以下で形成され、前記ボンディングワイヤ6が接続されたインナーリード2Aの先端部の上面は、前記半導体チップ1の主面よりも下に位置し、かつ前記インナーリード2Aは前記半導体チップ1の主面とこれに対向するその裏面との間に位置する。

図1



BEST AVAILABLE COPY

(2)

1

## 【特許請求の範囲】

【請求項1】 半導体チップの周辺端部の近傍にインナーリードの先端部が配設され、前記半導体チップの主面に絶縁フィルムテープの一部が接着剤で貼り付けられると共に、この絶縁フィルムテープの他の部分が前記インナーリードの一部に接着剤で貼り付けられ、前記半導体チップの主面に設けられた電極パッドとそれらに対応する前記インナーリードとがボンディングワイヤで電氣的に接続され、前記半導体チップ、インナーリード、絶縁フィルムテープ及びボンディングワイヤがモールド樹脂で封止され、前記絶縁フィルムテープの厚さは、前記半導体チップの主面からボンディングワイヤの頂点までの高さ以下で形成され、前記ボンディングワイヤが接続されたインナーリードの先端部の上面は前記半導体チップの主面よりも下に位置し、かつ前記インナーリードは前記半導体チップの主面とこれに対向するその裏面との間に位置することを特徴とする薄型半導体装置。

【請求項2】 請求項1に記載の薄型半導体装置において、前記ボンディングワイヤは、ボールボンディング法によるボール側が前記インナーリードに設けられ、非ボール側が前記半導体チップの電極パッドに設けられている構造になっていることを特徴とする薄型半導体装置。

【請求項3】 請求項1又は請求項2に記載の薄型半導体装置において、前記絶縁フィルムテープが貼り付けられたインナーリードの一部の上面は、前記半導体チップの主面と同じ面に位置することを特徴とする薄型半導体装置。

【請求項4】 請求項1乃至請求項3のうちいずれか1項に記載の薄型半導体装置において、前記インナーリードは、前記モールド樹脂の半導体チップの主面に垂直な方向の厚さのほぼ中央部から突出してアウターリードを形成することを特徴とする薄型半導体装置。

【請求項5】 請求項4に記載の薄型半導体装置において、前記アウターリードの半導体チップの主面に垂直な方向の幅は、前記モールド樹脂の半導体チップの主面に垂直な方向の幅より大きく構成されていることを特徴とする薄型半導体装置。

【請求項6】 請求項1乃至請求項3のうちいずれか1項に記載の薄型半導体装置において、前記インナーリードは、前記モールド樹脂の半導体チップの主面に垂直な方向の厚さのほぼ中央部から突出してアウターリードを形成し、このアウターリードは、前記モールド樹脂の厚さ方向のほぼ中央部から前記半導体チップの主面にほぼ平行に突出した第1部分と、この第1部分から前記半導体チップの主面に折れ曲がった第2部分と、この第2部分から前記半導体チップの主面側のモールド樹脂の一表面とほぼ同一面を成す第3部分と、この第3部分から前記半導体チップの主面と対向するその裏面側に折れてほぼ半導体チップの主面と垂直になる第4部分と、この第4部分から前記モールド樹脂に向かい、前記半導体チ

2

ップの裏面側のモールド樹脂の下面とほぼ同一面を成す第5部分とで構成されることを特徴とする薄型半導体装置。

【請求項7】 請求項4に記載の薄型半導体装置において、前記アウターリードは、前記モールド樹脂の厚さ方向のほぼ中央部から前記半導体チップの主面にほぼ平行に突出した第1部分と、この第1部分から前記半導体チップの主面側に折れ曲がった第2部分と、この第2部分から前記半導体チップの主面側のモールド樹脂の一表面とほぼ同一面を成す第3部分と、この第3部分から前記半導体チップの主面と対向するその裏面側に折れてほぼ半導体チップの主面と垂直になる第4部分と、この第4部分から前記モールド樹脂に向かい、前記半導体チップの裏面側のモールド樹脂の下面とほぼ同一面を成す第5部分とで構成されることを特徴とする薄型半導体装置。

【請求項8】 請求項4乃至請求項7のうちいずれか1項に記載の薄型半導体装置において、前記アウターリードの表面にはメッキ層が形成されていることを特徴とする薄型半導体装置。

【請求項9】 半導体チップの周辺端部の近傍にインナーリードの先端部が配設され、前記半導体チップの主面に絶縁フィルムテープの一部が接着剤で貼り付けられると共に、この絶縁フィルムテープの他の部分が前記インナーリードの一部に接着剤で貼り付けられ、前記半導体チップの主面に設けられた電極パッドとそれらに対応する前記インナーリードとがボンディングワイヤで電氣的に接続され、前記半導体チップ、インナーリード、絶縁フィルムテープ及びボンディングワイヤがモールド樹脂で封止され、前記絶縁フィルムテープの厚さは、前記半導体チップの主面からボンディングワイヤの頂点までの高さ以下で形成され、前記インナーリードは、前記モールド樹脂の半導体チップの主面に垂直な方向の厚さのほぼ中央部から突出してアウターリードを形成し、前記アウターリードは、前記モールド樹脂の厚さ方向のほぼ中央部から前記半導体チップの主面にほぼ平行に突出した第1部分と、この第1部分から前記半導体チップの主面側に折れ曲がった第2部分と、この第2部分から前記半導体チップの主面側のモールド樹脂の一表面とほぼ同一面を成す第3部分と、この第3部分から前記半導体チップの主面と対向するその裏面側に折れてほぼ半導体チップの主面と垂直になる第4部分と、この第4部分から前記モールド樹脂に向かい、前記半導体チップの裏面側のモールド樹脂の下面とほぼ同一面を成す第5部分とで構成されることを特徴とする薄型半導体装置。

【請求項10】 請求項9に記載の薄型半導体装置において、前記ボンディングワイヤが接続されたインナーリードの先端部の上面は前記半導体チップの主面よりも下に位置し、かつ前記インナーリードは前記半導体チップの主面とこれに対向するその裏面との間に位置し、前記ボンディングワイヤは、ボールボンディング法によるボ

(3)

3

ール側が前記インナーリードに設けられ、非ボール側が前記半導体チップの電極パッドに設けられている構造になっていることを特徴とする薄型半導体装置。

【請求項11】 請求項9に記載の薄型半導体装置において、前記ボンディングワイヤが接続されたインナーリードの先端部の上面は前記半導体チップの主面よりも下に位置し、かつ前記インナーリードは前記半導体チップの主面とこれに対向するその裏面との間に位置し、前記絶縁フィルムテープが貼り付けられたインナーリードの一部の上面は、前記半導体チップの主面と同じ面に位置することを特徴とする薄型半導体装置。

【請求項12】 請求項9に記載の薄型半導体装置において、前記インナーリードは前記モールド樹脂の半導体チップの主面に垂直な方向の厚さのほぼ中央部から突出してアウターリードを形成していることを特徴する薄型半導体装置。

【請求項13】 請求項12に記載の薄型半導体装置において、前記アウターリードの半導体チップの主面に垂直な方向の幅は、前記モールド樹脂の半導体チップの主面に垂直な方向の幅より大きく構成されていることを特徴とする薄型半導体装置。

【請求項14】 請求項1に記載の薄型半導体装置を基板に複数個実装したことを特徴とするモジュール構造体。

【請求項15】 請求項14に記載のモジュール構造体において、前記インナーリードは、前記モールド樹脂の半導体チップの主面に垂直な方向の厚さのほぼ中央部から突出してアウターリードを形成し、前記薄型半導体装置は基板上に積層され、前記薄型半導体装置のアウターリードは隣接する薄型半導体装置の対応するアウターリードに夫々半田付けされていることを特徴とするモジュール構造体。

【請求項16】 請求項14に記載のモジュール構造体において、前記インナーリードは、前記モールド樹脂の半導体チップの主面に垂直な方向の厚さのほぼ中央部から突出してアウターリードを形成し、前記薄型半導体装置は前記基板上に隣接して配置され、前記薄型半導体装置の各々のアウターリードは隣接する薄型半導体装置の対応するアウターリードに夫々半田付けされていることを特徴とするモジュール構造体。

【請求項17】 請求項15に記載のモジュール構造体において、前記アウターリードの各々は、前記モールド樹脂の厚さ方向のほぼ中央部から前記半導体チップの主面にほぼ平行に突出した第1部分と、この第1部分から前記半導体チップの主面側に折れ曲がった第2部分と、この第2部分から前記半導体チップの主面側のモールド樹脂の一表面とほぼ同一面を成す第3部分と、この第3部分から前記半導体チップの主面と対向するその裏面側に折れてほぼ半導体チップの主面と垂直になる第4部分と、この第4部分から前記モールド樹脂に向かい、前記

4

半導体チップの裏面側のモールド樹脂の下面とほぼ同一面を成す第5部分とで構成され、前記基板に実装された薄型半導体装置の1つは、そのアウターリードの第5部分が前記基板に半田付けされ、この1つの薄型半導体装置の上に実装された薄型半導体装置の別の1つは、そのアウターリードの第5部分が前記1つの薄型半導体装置の対応するアウターリードの第3部分に半田付けされていることを特徴とするモジュール構造体。

【請求項18】 請求項16に記載のモジュール構造体において、前記薄型半導体装置の1つのアウターリードの各々は、前記モールド樹脂の厚さ方向のほぼ中央部から前記半導体チップの主面にほぼ平行に突出した第1部分と、この第1部分から前記半導体チップの主面側に折れ曲がった第2部分と、この第2部分から前記半導体チップの主面側のモールド樹脂の一表面とほぼ同一面を成す第3部分と、この第3部分から前記半導体チップの主面と対向するその裏面側に折れてほぼ半導体チップの主面と垂直になる第4部分と、この第4部分から前記モールド樹脂に向かい、前記半導体チップの裏面側のモールド樹脂の下面とほぼ同一面を成す第5部分とで構成され、前記薄型半導体装置の別の1つのアウターリードの各々は、前記モールド樹脂の厚さ方向のほぼ中央部から前記半導体チップの主面にほぼ平行に突出した第1部分と、この第1部分から前記半導体チップの主面側に折れ曲がった第2部分と、この第2部分から前記半導体チップの主面側のモールド樹脂の一表面とほぼ同一面を成す第3部分と、この第3部分から前記半導体チップの主面と対向するその裏面側に折れてほぼ半導体チップの主面と垂直になる第4部分と、この第4部分から前記モールド樹脂に向かい、前記半導体チップの裏面側のモールド樹脂の下面とほぼ同一面を成す第5部分とで構成され、前記薄型半導体装置の各々は、そのアウターリードの第5部分が前記基板に半田付けされ、前記薄型半導体装置の1つのアウターリードの第4部分は前記薄型半導体装置の別の1つの対応するアウターリードの第4部分と半田付けされていることを特徴とするモジュール構造体。

【請求項19】 半導体チップの周辺端部の近傍にインナーリードの先端部が配設され、前記半導体チップの主面に絶縁フィルムテープの一部が接着剤で貼り付けられると共に、この絶縁フィルムテープの他の部分が前記インナーリードの一部に接着剤で貼り付けられ、前記半導体チップの主面に設けられた電極パッドとそれらに対応する前記インナーリードとがボンディングワイヤで電気的に接続され、前記半導体チップ、インナーリード、絶縁フィルムテープ及びボンディングワイヤがモールド樹脂で封止され、前記絶縁フィルムテープの厚さは、前記半導体チップの主面からボンディングワイヤの頂点までの高さ以下で形成され、前記ボンディングワイヤが接続されたインナーリードの先端部の上面は前記半導体チップの主面よりも下に位置し、かつ前記インナーリードは

(4)

5

前記半導体チップの主面とこれに対向するその裏面との間に位置し、前記インナーリードは、前記モールド樹脂の半導体チップの主面に垂直な方向の厚さのほぼ中央部から突出してアウターリードを形成する薄型半導体装置を基板に複数個実装する実装方法であって、基板上に、前記薄型半導体装置の1つをそのアウターリードを前記基板に半田付けすることにより実装し、前記1つの薄型半導体装置上に前記薄型半導体装置の別の1つをそのアウターリードを前記1つの薄型半導体装置の対応するアウターリードに半田付けすることにより実装することを特徴とする薄型半導体装置の実装方法。

【請求項20】 請求項19に記載の薄型半導体装置の実装方法において、前記薄型半導体装置のアウターリードは、前記モールド樹脂の厚さ方向のほぼ中央部から前記半導体チップの主面にほぼ平行に突出した第1部分と、この第1部分から前記半導体チップの主面側に折れ曲がった第2部分と、この第2部分から前記半導体チップの主面側のモールド樹脂の一表面とほぼ同一面を成す第3部分と、この第3部分から前記半導体チップの主面と対向するその裏面側に折れてほぼ半導体チップの主面と垂直になる第4部分と、この第4部分から前記モールド樹脂に向かい、前記半導体チップの裏面側のモールド樹脂の下面とほぼ同一面を成す第5部分とで構成され、前記基板に前記薄型半導体装置の1つを実装するステップは、そのアウターリードの第5部分を前記基板に半田付けするステップを有し、この1つの薄型半導体装置上に前記薄型半導体装置の別の1つを実装するステップは、前記薄型半導体装置の別のアウターリードの第5部分を前記1つの薄型半導体装置の対応するアウターリードの第3部分に夫々半田付けするステップを有することを特徴とする薄型半導体装置の実装方法。

【請求項21】 半導体チップの周辺端部の近傍にインナーリードの先端部が配設され、前記半導体チップの主面に絶縁フィルムテープの一部が接着剤で貼り付けられると共に、この絶縁フィルムテープの他の部分が前記インナーリードの一部に接着剤で貼り付けられ、前記半導体チップの主面に設けられた電極パッドとそれらに対応する前記インナーリードとがボンディングワイヤで電氣的に接続され、前記半導体チップ、インナーリード、絶縁フィルムテープ及びボンディングワイヤがモールド樹脂で封止され、前記絶縁フィルムテープの厚さは、前記半導体チップの主面からボンディングワイヤの頂点までの高さ以下で形成され、前記ボンディングワイヤが接続されたインナーリードの先端部の上面は前記半導体チップの主面よりも下に位置し、かつ前記インナーリードは前記半導体チップの主面とこれに対向するその裏面との間に位置し、前記インナーリードは、前記モールド樹脂の半導体チップの主面に垂直な方向の厚さのほぼ中央部から突出してアウターリードを形成する薄型半導体装置を基板に複数実装する実装方法であって、前記薄型半導

6

体装置の1つの上に前記薄型半導体装置の別の1つをそのアウターリードを前記1つの薄型半導体装置の対応するアウターリードに半田付けすることにより実装し、基板上に、前記薄型半導体装置の1つをそのアウターリードを前記基板に半田付けすることにより実装することを特徴とする薄型半導体装置の実装方法。

【請求項22】 請求項21に記載の薄型半導体装置の実装方法において、前記薄型半導体装置のアウターリードは、前記モールド樹脂の厚さ方向のほぼ中央部から前記半導体チップの主面にほぼ平行に突出した第1部分と、この第1部分から前記半導体チップの主面側に折れ曲がった第2部分と、この第2部分から前記半導体チップの主面側のモールド樹脂の一表面とほぼ同一面を成す第3部分と、この第3部分から前記半導体チップの主面と対向するその裏面側に折れてほぼ半導体チップの主面と垂直になる第4部分と、この第4部分から前記モールド樹脂に向かい、前記半導体チップの裏面側のモールド樹脂の下面とほぼ同一面を成す第5部分とで構成され、前記薄型半導体装置の1つの上に前記薄型半導体装置の別の1つを実装するステップは、前記薄型半導体装置の別のアウターリードの第5部分を前記1つの薄型半導体装置の対応するアウターリードの第3部分に夫々半田付けするステップを有し、前記基板に前記薄型半導体装置の1つを実装するステップは、そのアウターリードの第5部分を前記基板に半田付けするステップを有することを特徴とする薄型半導体装置の実装方法。

【請求項23】 半導体チップの周辺端部の近傍にインナーリードの先端部が配設され、前記半導体チップの主面に絶縁フィルムテープの一部が接着剤で貼り付けられると共に、この絶縁フィルムテープの他の部分が前記インナーリードの一部に接着剤で貼り付けられ、前記半導体チップの主面に設けられた電極パッドとそれらに対応する前記インナーリードとがボンディングワイヤで電氣的に接続され、前記半導体チップ、インナーリード、絶縁フィルムテープ及びボンディングワイヤがモールド樹脂で封止され、前記絶縁フィルムテープの厚さは、前記半導体チップの主面からボンディングワイヤの頂点までの高さ以下で形成され、前記ボンディングワイヤが接続されたインナーリードの先端部の上面は前記半導体チップの主面よりも下に位置し、かつ前記インナーリードは前記半導体チップの主面とこれに対向するその裏面との間に位置し、前記インナーリードは、前記モールド樹脂の半導体チップの主面に垂直な方向の厚さのほぼ中央部から突出してアウターリードを形成し、前記アウターリードの表面には半田メッキ層が形成された薄型半導体装置を基板に複数実装する実装方法であって、基板上に前記薄型半導体装置を、隣接する薄型半導体装置の対応するアウターリードが互いに接するよう、かつ前記基板上の1つの薄型半導体装置のアウターリードが前記基板に接するよう積層し、前記基板と、前記基板上に積層され



(5)

7

た薄型半導体装置を所定の温度で加熱して前記各薄型半導体装置のアウトリードの半田メッキ層を溶かすことを特徴とする薄型半導体装置の実装方法。

【請求項24】 請求項23に記載の薄型半導体装置の実装方法において、前記アウトリードは、前記モールド樹脂の厚さ方向のほぼ中央部から前記半導体チップの主面にほぼ平行に突出した第1部分と、この第1部分から前記半導体チップの主面側に折れ曲がった第2部分と、この第2部分から前記半導体チップの主面側のモールド樹脂の一表面とほぼ同一面を成す第3部分と、この第3部分から前記半導体チップの主面と対向するその裏面側に折れてほぼ半導体チップの主面と垂直になる第4部分と、この第4部分から前記モールド樹脂に向かい、前記半導体チップの裏面側のモールド樹脂の下面とほぼ同一面を成す第5部分とで構成され、前記基板上に前記薄型半導体装置を積層するステップは、前記薄型半導体装置の隣接する2つの薄型半導体装置の一方のアウトリードの第5部分を前記隣接する薄型半導体装置の他方の対応するアウトリードの第3部分に夫々接するように配置するステップを有することを特徴とする薄型半導体装置の実装方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄型半導体装置、それを用いたモジュール構造体、及び該薄型半導体装置の実装方法に関し、特に、メモ리카ード、若しくは半導体装置を多段に積み重ねた小型パッケージの大容量メモリ装置等に適用される薄型半導体装置、それを用いたモジュール構造体、及び該薄型半導体装置を基板に実装する実装方法に関する。

【0002】

【従来の技術】従来の薄型半導体装置の小型パッケージとして、タブ付きリードフレームとワイヤボンディング方式を採用した1.2mm厚のTSOP (Thin Small Out-line Package)型が開発されている。これについては、例えば(株)日立製作所発行のGINE83に記載されている。

【0003】また、3.3mm厚のメモ리카ードにおいて、TSOP型の薄型半導体装置を両面実装し、実装効率を最大にした大容量メモ리카ードが開発されている。しかし、より薄いTSOP型の要求が強いために、TSOP型と同じ外形サイズとした0.5mm厚のTCP (Tape Carrier Package)型が提案されている。これについては、例えば、日経マイクロデバイス、1991年2月号、65～66頁に記載されている。このTCP型の薄型半導体装置は、半導体チップを0.2mm程度薄くし、TAB (Tape Automated Bonding)方式のボンディングにより半導体チップとインナーリードとを電氣的に接続し、プラスチックモールドした構造で構成される。

8

【0004】また、半導体チップの主面(素子形成面)の一部、インナーリードの一部の夫々にポリイミドから成形された薄型耐熱樹脂からなる素子保持体を接着固定することによりパッケージの厚さを薄くするようにした半導体装置が特開平4-106941号公報に記載されている。この装置においては、半導体チップの電極とインナーリードとをボンディングワイヤ(金属細線)で結線するとき、半導体チップの端部とボンディングワイヤとの間隔をショート不良を起こさないように大きくし、また半導体チップの主面とインナーリードの上面とを同一平面にしている。

【0005】また、金属膜からなるインナーリードを絶縁テープの上に配置し、該絶縁テープの一部の下面で半導体チップの主面を支持するようにした半導体装置が特開平3-261153号公報に記載されている。

【0006】また、半導体チップの主面上にリードフレームのタブ部(ダイパッド部)を配置し、該タブ部で半導体チップを支持するようにした半導体装置が特開平1-286342号公報に記載されている。

【0007】

【本発明が解決しようとする課題】本発明者は、前述のTAB方式を採用するTCP型の薄型半導体装置を検討した結果、次の問題点を見出した。

【0008】(1)アウトリードが銅(Cu)箔で構成されているため、アウトリードの強度が弱い。そのため、リードが曲りコンタクト不良を発生する。

【0009】(2)アウトリードの強度が弱いため、ソケットの選別が困難である。

【0010】(3)TAB方式のボンディングを用いるので、リードフレーム方式のボンディングに比較して高価になる。

【0011】また、特開平4-106941号公報においては、半導体チップの主面とインナーリードの上面とを同一平面にしているため、半導体チップの電極とインナーリードとをボンディングワイヤで結線するとき、ボンディングワイヤのループ高さ(半導体チップの主面から垂直方向に向った頂点部までの高さ)が高くなり、薄型のパッケージが得られない。更に、ボンディングワイヤをワイヤリバスボンディングにより結線したとしても、半導体チップの主面とインナーリードの上面とが同一平面にあるため、パッケージを十分薄くできない。

【0012】また、特開平3-261153号公報においては、インナーリードの上面は半導体チップの主面より上に位置するため、ボンディングワイヤのループ高さが高くなり、薄型のパッケージが得られない。

【0013】また、特開平1-286342号公報においては、樹脂テープより厚いダイパッド部が半導体チップの主面上にあり、また、インナーリードの上面は半導体チップの主面よりも上に位置する。従って、ボンディングワイヤのループ高さが高くなり、薄型のパッケージ

が得られない。

【0014】本発明の目的は、0.5mm厚程度のTOC (Tape On Chip) パッケージの薄型半導体装置、それを用いたモジュール構造体、及びそれを基板に実装する実装方法を提供することにある。

【0015】本発明の他の目的は、リードフレームを用いたアウターリード強度が高い0.5mm厚程度の薄型半導体装置、それを用いたモジュール構造体、及びそれを基板に実装する実装方法を提供することにある。

【0016】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0017】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0018】(1)半導体チップの周辺端部の近傍にインナーリードの先端部が配設され、前記半導体チップの主面に絶縁フィルムテープの一部が接着剤で貼り付けられると共に、この絶縁フィルムテープの他の部分が前記インナーリードの一部に接着剤で貼り付けられ、前記半導体チップの主面に設けられた電極パッドとそれらに対応する前記インナーリードとがボンディングワイヤで電気的に接続され、前記半導体チップ、インナーリード、絶縁フィルムテープ及びボンディングワイヤがモールド樹脂で封止され、前記絶縁フィルムテープの厚さは前記半導体チップの主面からボンディングワイヤの頂点までの高さ以下で形成され、前記ボンディングワイヤが接続されたインナーリードの先端部の上面は前記半導体チップの主面よりも下に位置し、かつ前記インナーリードは前記半導体チップの主面とこれに対向するその裏面との間に位置する薄型半導体装置である。

【0019】(2)前記ボンディングワイヤは、ボールボンディング法によるボール側が前記インナーリードに接続され、非ボール側が前記半導体チップの電極パッドに設けられている構造になっている。

【0020】(3)前記絶縁フィルムテープが貼り付けられたインナーリードの一部の上面は、前記半導体チップの主面と同じ面に位置する。

【0021】(4)前記インナーリードは、前記モールド樹脂の半導体チップの主面に垂直な方向の厚さのほぼ中央部から突出してアウターリードを形成する。

【0022】(5)前記アウターリードの半導体チップの主面に垂直な方向の幅は、前記モールド樹脂の半導体チップの主面に垂直な方向の幅より大きく構成される。

【0023】(6)前記アウターリードは、前記モールド樹脂の厚さ方向のほぼ中央部から前記半導体チップの主面にほぼ平行に突出した第1部分と、この第1部分から前記半導体チップの主面側に折れ曲がった第2部分と、この第2部分から前記半導体チップの主面側のモー

ルド樹脂の一表面とほぼ同一面を成す第3部分と、この第3部分から前記半導体チップの主面と対向するその裏面側に折れてほぼ半導体チップの主面と垂直になる第4部分と、この第4部分から前記モールド樹脂に向かい、前記半導体チップの裏面側のモールド樹脂の下面とほぼ同一面を成す第5部分とで構成される。

【0024】(7)前記アウターリードの表面には半田メッキ層が形成される。

【0025】

【作用】上述した手段(1)によれば、半導体チップの周辺端部の近傍にインナーリードの先端部が配設され、前記半導体チップの主面に絶縁フィルムテープの一部が接着剤で張付けられると共に、この絶縁フィルムテープの他の部分が前記インナーリードの一部に接着剤で貼り付けられ、前記半導体チップの主面に設けられた電極パッドとそれらに対応する前記インナーリードとがボンディングワイヤで電気的に接続され、前記半導体チップ、インナーリード、絶縁フィルムテープ及びボンディングワイヤがモールド樹脂で封止され、前記絶縁フィルムテープの厚さは、前記半導体チップの主面からボンディングワイヤの頂点までの高さ以下で形成され、前記ボンディングワイヤが接続されたインナーリードの先端部の面は前記半導体チップの主面よりも下に位置し、かつ前記インナーリードは前記半導体チップの主面とこれに対向するその裏面との間に位置するので、アウターリードの強度が高い0.5mm厚程度のTOC (Tape On Chip) パッケージの薄型半導体装置を得ることができる。

【0026】上述した手段(2)によれば、ボンディングワイヤの構造が、ボールボンディング法によるボール側がインナーリードに設けられ、非ボール側が半導体チップに設けられていることにより、ボンディングワイヤの上側に厚いモールド樹脂を設けることが可能であるので、さらに薄い超薄型半導体装置が得られる。

【0027】上述した手段(3)によれば、前記絶縁フィルムテープが貼り付けられたインナーリードの一部の上面は前記半導体チップの主面と同じ面に位置するので、インナーリードに絶縁フィルムテープを容易に貼り付けることができる。

【0028】上述した手段(4)によれば、前記インナーリードは、前記モールド樹脂の半導体チップの主面に垂直な方向の厚さのほぼ中央部から突出してアウターリードを形成するので、モールド樹脂の厚さを薄くすることができる。

【0029】上述した手段(5)によれば、前記アウターリードの半導体チップの主面に垂直な方向の幅は、前記モールド樹脂の半導体チップの主面に垂直な方向の幅より大きく構成されるので、基板への半田付けの際、基板に反り等が生じても良好に半田付けが行える。

【0030】上述した手段(6)によれば、前記アウターリードは、前記モールド樹脂の厚さ方向のほぼ中央部

(7)

11

から前記半導体チップの主面にほぼ平行に突出した第1部分と、この第1部分から前記半導体チップの主面側に折れ曲がった第2部分と、この第2部分から前記半導体チップの主面側のモールド樹脂の一表面とほぼ同一面を成す第3部分と、この第3部分から前記半導体チップの主面と対向するその裏面側に折れてほぼ半導体チップの主面と垂直になる第4部分と、この第4部分から前記モールド樹脂に向かい、前記半導体チップの裏面側のモールド樹脂の下面とほぼ同一面を成す第5部分とで構成される。この様に、アウターリードを湾曲させてアウターリードの寸法を長くし、かつ弾力性をもたせることにより、半田付けの際の温度サイクルによる応力を吸収することができるので、実装部の半田にクラックが発生するのを防止することができる。

【0031】上述した手段(7)によれば、半田付けを一括して行うことができ、特に、薄型半導体装置を複数積層する場合に、半田付け工程を一度に行えるので、組立工程を大幅に減少できる。

【0032】

【実施例】以下、図面を参照して、本発明の実施例を詳細に説明する。

【0033】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0034】図1は、本発明の第1実施例によるTOCパッケージ構造を採用する薄型半導体装置のモールド樹脂の上部を除去した状態の概略構成を示す平面図、図2は、図1に示すII-II切断線で切った断面図、図3は、図1に示すIII-III切断線で切った断面図、図4は、第1実施例の絶縁フィルムテープによる支持形態を変えた変形例を示す図、図5は、第1実施例の半導体チップの主面上にアルミニウム箔等の光入射遮断手段を設けた変形例の構成を示す断面図、図6は、第1実施例の半導体チップの主面側が実装基板に対向するように実装された状態を示す断面図、図7は、第1実施例の薄型半導体装置を2段積み重ねた第2実施例による積層体を示す断面図、図8は、第1実施例の薄型半導体装置を基板に実装する方法を説明するための断面図、図9は、第1実施例の薄型半導体装置を基板に2段実装する方法を説明するための断面図、図10は、本発明の薄型半導体装置を基板に実装する他の例を説明するための断面図、図11は、本発明の薄型半導体装置を基板に2段実装する他の方法を説明するための断面図、図12は、本発明の薄型半導体装置を用いたモジュール構造体の実施例を示す斜視図、図13は、本発明の薄型半導体装置を用いたモジュール構造体の他の実施例を示す斜視図である。

【0035】第1実施例の薄型半導体装置(TOCパッケージ構造)は、図1及び図2に示すように、半導体チップ1の周辺端部の近傍に、複数のインナーリード(リード2のインナー部)2Aの夫々の先端部が平面状に配

12

設されている。半導体チップ1の主面にはストライプ状に形成された絶縁フィルムテープ3の一部が接着剤4で貼り付けられている。この絶縁フィルムテープ3の他の部分は、複数本のインナーリード2Aのうちのいくつかのインナーリード2Aに貼り付けられている。また、絶縁フィルムテープ3の他の部分は、例えば吊りリード5が設けられている場合、例えば少なくとも1つの吊りリード5に接着剤4で貼り付けられている。半導体チップ1の主面には複数の電極パッド1Aが配置され、この複数の電極パッド1Aの夫々は、対応する複数のインナーリード2Aの夫々とボンディングワイヤ6で夫々毎に電気的に接続されている。これらの半導体チップ1、インナーリード2A、絶縁フィルムテープ3及びボンディングワイヤ6等はモールド樹脂7で封止されている。つまり、薄型半導体装置はTOCパッケージ構造で構成される。

【0036】尚、半導体チップ1の支持のための前記絶縁フィルムテープ3は、モールド時に半導体チップ1がひねられたり(傾いたり)、動いたりしないように、好ましくは4点以上で、又は少なくとも3点でインナーリード2Aを支持する。即ち、4点で支持する場合は、図4に実線及び点線で示した例えば十字状の絶縁フィルムテープ3を用い、その4つの先端部でインナーリード2Aを支持して良く、また、3点で支持する場合は、図4に実線で示した例えばT字状の絶縁フィルムテープ3を用い、その3つの先端部でインナーリード2Aを支持しても良い。この場合、少なくとも1つの吊りリード5が設けられている場合は、前記絶縁フィルムテープ3の少なくとも1つの先端部で吊りリード5を支持しても良い。

【0037】前記絶縁フィルムテープ3としては、例えば、ポリイミド系樹脂が使用され、接着剤4としては、例えば、ポリイミド系樹脂もしくはエポキシ系樹脂が使用される。そして、絶縁フィルムテープ3の厚さは、半導体チップ1の主面からボンディングワイヤ6の頂部までの高さ(以下、ループ高さと呼ぶ)以下の厚さであり、例えば、図2に示すように、接着剤4の厚さも含めて0.05mmである。前記絶縁フィルムテープ3以外の各部の厚さ寸法は、例えば、モールド樹脂7の下面(裏面)から半導体チップ1までの厚さ0.10mm、半導体チップ1の厚さ0.28mm、半導体チップ1の主面からモールド樹脂7の上面までの厚さ0.12mmであり、実装基板面とモールド樹脂7の下面との間隔は0.03mmである。

【0038】前記モールド樹脂7は、例えば低応力化を図るため、フェノール系硬化剤、シリコーンゴム及びフイラーが添加されたエポキシ系樹脂を使用する。

【0039】前記ボンディングワイヤ6のボンディングは、ボールボンディング法を用い、ボンディングワイヤ6のボール側がインナーリード2Aに設けられ、非ボー

13

ル側が半導体チップ1に設けられている。このように逆ボンディングすることにより、ボンディングワイヤ6上のモールド樹脂7の量が多くなるので、同一厚さであれば、信頼性の向上がはかれ、また、信頼性の点で問題がなければ、ボンディングワイヤ6上のモールド樹脂7の量を減らすことができるので、さらに薄くすることが可能である。したがって、このように逆ボンディングにするか、通常ボンディングするかは、薄型半導体装置の厚さの要求に応じて選択すればよい。

【0040】更に、図2から明らかなように、インナーリード2Aのボンディング面(上面)は半導体チップ1の主面より下に位置し、かつインナーリード2Aのボンディング面に対向するその裏面(下面)は半導体チップ1の主面に対向するその裏面より上に位置している。これによりボンディングワイヤ6のループ高さをより低くでき、また、ボンディングワイヤ6のワイヤ長をより短くできる。

【0041】また、前記複数のインナーリード2Aのうち、絶縁フィルムテープ3が貼り付けられるインナーリード2Aの先端部は折り曲げられ、図3に示すように、半導体チップ1の主面と同じ高さの位置に配置されているため、絶縁フィルムテープ3の貼り付けがし易い。

【0042】また、リード2は、図2に示すように、モールド樹脂7、即ちパッケージの厚さ方向のほぼ中央部から突出している。

【0043】また、アウターリード2Bは、パッケージの厚さ方向のほぼ中央部から半導体チップ1の主面にほぼ平行に突出した部分2B1と、その後、半導体チップ1の主面側に折れ曲がった部分2B2と、その後、半導体チップ1の主面側のパッケージ表面とほぼ同一面を成す部分2B3と、その後、半導体チップ1の主面と反対側に折れてほぼ半導体チップ1の主面と垂直になる部分2B4と、その後、パッケージに向かい、半導体チップ1の主面と反対側の面側のパッケージの表面とほぼ同じ高さを成す部分2B5とで形成される。尚、好ましくは、アウターリード2Bの部分2B5の下面はモールド樹脂(パッケージ)7の下面に対して約0.03mm程度突出している。これにより、薄型半導体装置の基板への実装時の半田付けの際に、基板が反ったり、歪んだりしてもアウターリード2Bの部分2B5を基板に確実に半田付けできる。

【0044】また、図9、図11のように薄型半導体装置を基板上に半田付けして上方に積層した場合には、アウターリード2Bの部分2B4は、主面とほぼ垂直を成す必要はなく、半導体チップ1の主面に垂直な面より傾いて良い。

【0045】尚、アウターリード2Bは、図2と対称的に、パッケージの厚さ方向のほぼ中央から半導体チップ1の主面側に折れ曲がるように形成しても良い(図6参照)。このようなアウターリード2Bをここでは逆曲げ

(8)

14

アウターリード2Bと称し、図2に示すものを正曲げアウターリード2Bと称する。

【0046】このように、アウターリード2BをほぼJベンド状に湾曲させているため、アウターリード2Bの全長を長くし、かつ弾力性をもたせることができる。このような構成にすることにより、アウターリード2Bの弾力性により、基板実装時の半田付け時等の温度サイクルによる応力を吸収するので、実装基板上の配線パッドとの接続部の半田にクラックが発生するのを防止することができる。

【0047】前記インナーリード2A、アウターリード2Bの夫々は、切断成形工程前においてリードフレームに一体に構成される。このリードフレームは、例えばFe-Ni(例えばNi含有率42又は50〔%〕)合金、Cu等で形成される。

【0048】次に、本実施例の薄型半導体装置の組立工程を簡単に説明する。

【0049】前記本実施例の薄型半導体装置の組立工程は、次の工程順で行う。

- (1) リードフレームに支持された複数のインナーリード2Aのうちのいくつかのインナーリード2Aに絶縁フィルムテープ3を熱可塑性接着剤4により貼着固定する。
- (2) 前記絶縁フィルムテープ3に半導体チップ1を熱可塑性接着剤4により貼着固定する(ペレット付け)。
- (3) 下台を真空引きして半導体チップ1を固定し、ワイヤボンディングを行う。
- (4) 全体を樹脂(レジン)でモールドして封止する。
- (5) 各アウターリード2Bに半田メッキ処理を施し、アウターリード2Bの全体に例えば厚さ約10μm程度の半田メッキ層を設ける。
- (6) リードフレームからアウターリード2Bを切断する切断加工を行う。
- (7) 各アウターリード2Bを前述の様にほぼJベンド状に成形加工する。この加工の工数は5工程である。
- (8) マークを付け、選別を行う。

【0050】以上の説明からわかるように、本実施例によれば、リードとしてリードフレームを使用しているので、アウターリード2Bの強度を強くすることができる。また、半導体チップ1の主面に絶縁フィルムテープ3の一部が接着剤4で貼り付けられ、該絶縁フィルムテープ3の他の部分が複数のインナーリード2Aのうちのいくつかに若しくは吊りリード5に接着剤4で貼り付けられ、前記半導体チップ1の主面に設けられている電極パッド1Aとインナーリード2Aの先端部とがボンディングワイヤ6で電氣的に接続され、これらの半導体チップ1、インナーリード2A、絶縁フィルムテープ3及びボンディングワイヤ6等がモールド樹脂7で封止され、前記絶縁フィルムテープ3の厚さをボンディングワイヤ6のループ高さ以下としているので、0.5mm厚程度のTOCパッケージの薄型半導体装置を得ることができ

15

る。

【0051】また、ワイヤボンディングは、ボールボンディング法を用い、ボンディングワイヤ6のボール側がインナーリード2Aに設けられ、非ボール側が半導体チップ1に設けられている逆ボンディングワイヤ構造になっている。更に、インナーリード2Aのボンディング面(上面)は半導体チップ1の主面より下に位置していることにより、ボンディングワイヤ6の上側に設けられるモールド樹脂7を減らすことができるので、さらに薄い超薄型半導体装置を得ることができる。

【0052】また、アウターリード2Bを前記部分2B2を有するように湾曲させてアウターリード2Bの全長を長くし、かつ弾力性をもたせることにより、温度サイクルによる応力を吸収することができるので、実装時の半田にクラックが発生するのを防止することができる。

【0053】更に、前記実施例において、図5に示すように、前記半導体チップ1の主面にアルミニウム箔10等の光入射遮断手段を設けるか、あるいは、図6に示すように、半導体チップ1の主面が、実装基板11に対向するように実装して半導体チップ1の主面への光入射を遮断するようにする。このように光入射遮断手段を設けることにより、半導体チップ1の主面への光の入射を防止することができるので、超薄型半導体装置にしても光によるデータリテンション等の特性劣化を防止することができる。

【0054】次に、本発明の第2実施例を図面を用いて説明する。

【0055】本実施例の積層体は、図7に示すように、前記第1実施例のTOCパッケージの薄型半導体装置を2段に重ねた構造になっている。

【0056】この実施例の積層体においては、両薄型半導体装置ともボンディングワイヤ6のボール側がインナーリード2Aに設けられ、非ボール側が半導体チップ1に設けられている逆ボンディングワイヤになっているが、下段の薄型半導体装置のボンディングワイヤ6は、逆ボンディングワイヤ構造とし、上段の薄型半導体装置のボンディングワイヤ6は、通常ボンディングワイヤ構造としてもよい。

【0057】以上の説明からわかるように、本実施例によれば、超薄型半導体装置を重ね合せても、1mm程度の薄い積層体を得ることができる。

【0058】尚、本実施例では、薄型半導体装置を2段に積み重ねた構造の積層体について説明したが、さらに多段に積み重ねた構造の積層体にすることができることは、容易に予測することができるであろう。

【0059】尚、積層体としては、図5に示す光入射遮断手段が設けられた薄型半導体装置を多段に積み重ねても良い。

【0060】次に、前記各実施例の薄型半導体装置及び積層体を基板に実装してモジュール構造体を構成する方

(9)

16

法について説明する。

【0061】まず、前記第1実施例の薄型半導体装置を基板に実装する方法について、図8を参照して説明する。

【0062】(1) まず、基板(例えばプリント配線基板)11の実装面Lのうち、薄型半導体装置のアウターリード2BのM部に対応する部分(領域)に半田ペーストを塗布する。

【0063】(2) 次に、薄型半導体装置を基板11の実装面L上に搭載し、半田付け(例えば半田リフロー)を行う。こうして、薄型半導体装置を基板に実装する。

【0064】次に、薄型半導体装置を2段に積層する場合について、図9を参照して簡単に説明する。

【0065】(1) まず、前述のように基板11に実装された薄型半導体装置(A)のアウターリード2BのN部に半田ペーストを塗布する。

【0066】(2) 次に、前記薄型半導体装置(A)上に別の薄型半導体装置(B)を搭載し、半田付けを行う。このような工程を繰り返して行うことにより、基板11の実装面L上に薄型半導体装置を2段以上に積層することが可能となる。

【0067】尚、薄型半導体装置(A)上に薄型半導体装置(B)を搭載してN部を半田付けした後に、これら一体化された薄型半導体装置(積層体)を基板11の実装面L上に実装しても良い。

【0068】次に、薄型半導体装置として、図10に示すように、アウターリード2Bの全体に例えば厚さ20 $\mu$ m程度の半田メッキ層12A、12Bが設けられた薄型半導体装置を基板に実装する方法について説明する。

【0069】この場合、図10に示すように、基板11の実装面L上に薄型半導体装置を搭載し、その後、半田メッキ層12A、12Bが溶ける程度の温度(例えば195 $^{\circ}$ C以上)で加熱することでアウターリード2BのM部が溶け、半田付けが行われる。尚、半田メッキ層12A、12Bの厚さは、アウターリード2Bの成形が容易に行われるように20 $\mu$ m程度が好ましい。

【0070】次に、アウターリード2Bに半田メッキ層12A、12Bが設けられた薄型半導体装置を2段に積層する場合について、図11を参照して説明する。

【0071】この場合、図11に示すように、薄型半導体装置(A)上に薄型半導体装置(B)を積層した2段重ねの薄型半導体装置を基板11の実装面L上に搭載し、その後、前述の温度で加熱することでN部、M部の半田メッキ層12Bが溶け、半田付けがなされる。このような方法においては、薄型半導体装置の段数に無関係で半田付けの工程を1回で行うことができる。尚、薄型半導体装置を積層する際、薄型半導体装置を基板に搭載した後、190 $^{\circ}$ C程度の温度で予備加熱を行って半田メッキ層をわずかに溶かし、これら薄型半導体装置と基板11とを固定した後、195 $^{\circ}$ C程度の温度で加熱するように

(10)

17

しても良い。

【0072】尚、薄型半導体装置として、例えばDRAMを搭載した薄型半導体装置を2段積層する場合には、チップセレクト用のリードピンが各薄型半導体装置に対して2本ずつ増える(追加される)。従って、メモリとして各実施例の薄型半導体装置をN段積層した場合には、チップセレクト用のリードピンが各薄型半導体装置に対してN本増える。

【0073】尚、前述したように図10、図11を除いた図2、図3、図5乃至図9においても、図10、図11に示すのと同様に各アウターリード2Bには約10 $\mu$ m程度の厚さでメッキ層が設けられているが、図示は省略している。

【0074】また、各実施例において、各アウターリード2Bのメッキ層は、アウターリード2Bの半田付けが行われる部分のみに設けてもよく、また、アウターリード2Bの外側にのみ設けても良い。

【0075】また、各実施例において、各インナーリード2Aのボンディングがなされる部分に、図10、図11に示すように銀メッキ層12Cを設けてもよい。

【0076】次に、前記実施例の薄型半導体装置を高密度に基板に実装したモジュール構造体のいくつかの実施例について説明する。

【0077】図12は、例えば2段に積層した薄型半導体装置を横に例えば2列に配置した場合のモジュール構造体の実施例である。

【0078】2列のうち一方の列の薄型半導体装置(A)、(B)の夫々は、図9又は図11に示すように、正曲げアウターリード2Bを持ち、他方の列の薄型半導体装置(C)、(D)の夫々は、図6に示すように、逆曲げアウターリード2Bを持つ。この場合、薄型半導体装置(A)、(B)の夫々のアウターリード2Bとそれに対向する薄型半導体装置(C)、(D)の夫々のアウターリード2Bのピン番号は、例えば共に1Pin~10Pinが同一になる。従って、例えば薄型半導体装置(A)、(B)の夫々の1Pinと薄型半導体装置(C)、(D)の夫々の1Pinとを結ぶ際の配線長を短くすることができるので、ノイズを低減できると共に、データの高速化処理が可能になる。また、薄型半導体装置の高密度実装が可能になるので、従来と同一の空間においてメモリー容量を大きくできる。

【0079】次に、前記モジュール構造体の組み立て方法について説明する。

【0080】まず、各薄型半導体装置のアウターリードが図8、図9に示すように通常のものである場合について述べる。

【0081】一つの方法として、まず、図9の積層体の組み立て方法と同様にして一方の列の薄型半導体装置(A)、(B)同士を半田付けし、その後、同様の方法で他方の列の薄型半導体装置(C)、(D)同士を半田付けし、

18

これら2列の積層体を基板11に半田付けすると共に、2列の薄型半導体装置の互いに対向するアウターリード2Bの夫々の部分2B4同士を半田付けする。この場合、図8に示す面P部に半田ペーストを塗布して半田付けを行う。

【0082】また、別の方法として、薄型半導体装置(A)、(C)を基板に半田付けした後に、この薄型半導体装置(A)上に薄型半導体装置(B)、薄型半導体装置(C)上に薄型半導体装置(D)の夫々を積層して半田付けするようにしても良い。

【0083】一方、各薄型半導体装置のアウターリード2Bが図10に示すように半田メッキ層12A、12Bを有している場合は、図11の実施例の場合と同様に、すべての薄型半導体装置(A)~(D)を図12のように配置した後に一括して半田付けを行うことができる。

【0084】尚、図12の実施例では2層に積層された積層体を2列に配置したが、単体の薄型半導体装置を横方向に複数列配置したものに本実施例を適用しても良く、その場合は正曲げ、逆曲げアウターリード2Bを持つ薄型半導体装置を交互に配置すれば良い。また、3つ以上の薄型半導体装置を積層した積層体を複数列配置した場合にも本実施例は適用でき、その場合も正曲げ、逆曲げアウターリード2Bを持つ積層体を交互に横方向に配置すれば良い。

【0085】図13は、例えば4段に積層した薄型半導体装置を縦に例えば2列に配置したモジュール構造体の実施例である。

【0086】2列の積層体の各薄型半導体装置(A)~(D)、(E)~(H)の夫々のアウターリード2Bは、基板21、31に半田付けされる。好ましくは、各薄型半導体装置(A)~(D)、(E)~(H)のアウターリード2Bは全て正曲げ又は逆曲げである。この場合、薄型半導体装置(A)~(D)のアウターリード2Bの1Pin~10Pinが各薄型半導体装置(E)~(H)のアウターリード2Bと同一基板、例えば基板31に半田付けされるようにすれば、例えば各薄型半導体装置(A)~(D)の1Pinと各薄型半導体装置(E)~(H)の1Pinとを結ぶ際の配線長を短くできる。従って、図12の実施例と同様にノイズを低減できると共に、データの高速化処理が可能になる。また、薄型半導体装置の高密度実装が可能になり、従って従来と同一の空間においてメモリー容量を大きくできる。

【0087】次に、このように構成されるモジュール構造体の組み立て方法について説明する。

【0088】まず、各薄型半導体装置のアウターリード2Bが図8、図9のように通常のものである場合について述べる。

【0089】一つの方法として、まず、図9の積層体の組み立て方法と同様にして一方の列の薄型半導体装置(A)~(D)同士を半田付けし、その後、同様の方法で他



(11)

19

方の列の薄型半導体装置(E)~(H)同士を半田付けし、これら2列の積層体を基板21、31にそれぞれ半田付けする。基板21、31への半田付けの際は、図8に示すアウターリード2Bの面P部に半田ペーストを塗布して半田付けを行う。

【0090】一方、各薄型半導体装置のアウターリード2Bが図10に示すように半田メッキ層12A、12Bを有している場合は、図11の実施例の場合と同様に、すべての薄型半導体装置(A)~(H)を図13のように配置した後一括して半田付けを行うことができる。

【0091】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0092】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0093】(1) 0.5mm厚程度のTOC(Tape On Chip)パッケージ構造の薄型半導体装置、それを用いたモジュール構造体、及びそれを基板に実装する実装方法を提供できる。

【0094】(2) リードフレームを用いたアウターリード強度が高い0.5mm厚程度の薄型半導体装置、それを用いたモジュール構造体、及びそれを基板に実装する実装方法を提供できる。

【0095】(3) ボンディングワイヤの上側に厚いモールド樹脂を設けることが可能なので、さらに薄い超薄型半導体装置を提供できる。

【0096】(4) 絶縁フィルムテープが貼り付けられるインナーリードの一部の上面が半導体チップの主面と同じ面に位置するので、インナーリードに絶縁フィルムテープを容易に貼り付けることができる。

【0097】(5) アウターリードの一部がモールド樹脂から突出するので、基板への半田付けの際、基板に反り等が生じて良好に半田付けを行うことができる。

【0098】(6) アウターリードを湾曲させてアウターリードの全長を長くし、かつ弾力性をもたせることにより、温度サイクルによる応力を吸収することができるので、実装部の半田にクラックが発生するのを防止することができる。

20

【0099】(7) 半田付けを一括して行うことができ、特に、薄型半導体装置を複数積層した場合に半田付け工程を一度に行えるので、組立工程を大幅に減少できる。

【0100】(8) 半導体チップの主面への光の入射を防止することができるので、超薄型半導体装置にしても光によるデータリテンション等の特性劣化を防止することができる。

【図面の簡単な説明】

10 【図1】 本発明の第1実施例によるTOCパッケージ構造を採用する薄型半導体装置のモールド樹脂の上部を除去した状態の概略構成を示す平面図。

【図2】 図1に示すII-II切断線で切った断面図。

【図3】 図1に示すIII-III切断線で切った断面図。

【図4】 第1実施例の絶縁フィルムテープによる支持形態を変えた変形例を示す図。

【図5】 第1実施例の半導体チップの主面上にアルミニウム箔等の光入射遮断手段を設けた変形例の構成を示す断面図。

20 【図6】 第1実施例の半導体チップの主面側が実装基板に対向するように実装された状態を示す断面図。

【図7】 第1実施例の薄型半導体装置を2段積み重ねた第2実施例による積層体を示す断面図。

【図8】 第1実施例の薄型半導体装置を基板に実装する方法を説明するための断面図。

【図9】 第1実施例の薄型半導体装置を基板に2段実装する方法を説明するための断面図。

【図10】 本発明の薄型半導体装置を基板に実装する他の例を説明するための断面図。

30 【図11】 本発明の薄型半導体装置を基板に2段実装する他の方法を説明するための断面図。

【図12】 本発明の薄型半導体装置を用いたモジュール構造体の実施例を示す斜視図。

【図13】 本発明の薄型半導体装置を用いたモジュール構造体の他の実施例を示す斜視図。

【符号の説明】

1…半導体チップ、1A…電極パッド、2…リード、2A…インナーリード、2B…アウターリード、3…絶縁フィルムテープ、4…接着剤、5…吊りリード、6…ボンディングワイヤ、7…モールド樹脂、10…アルミニウム箔、11…実装基板。

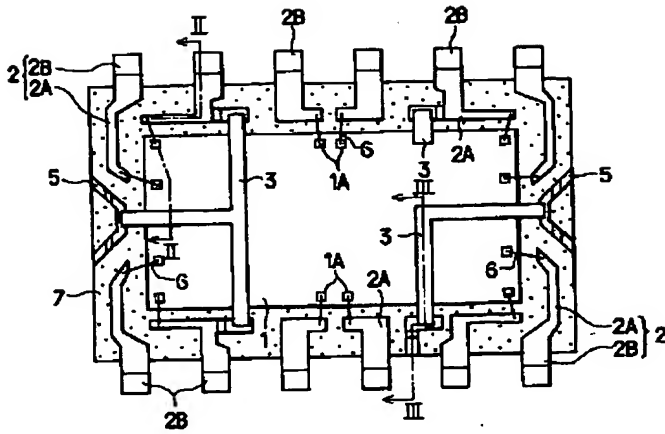
40



(12)

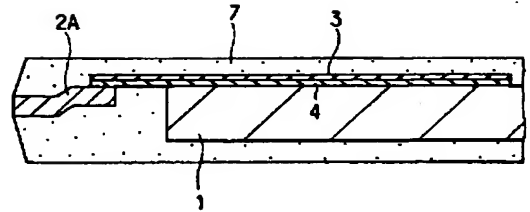
【図1】

図1



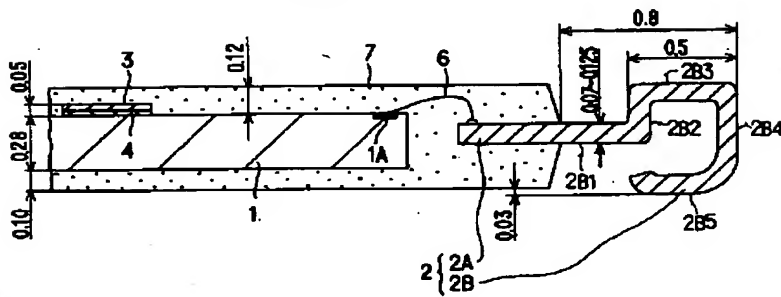
【図3】

図3



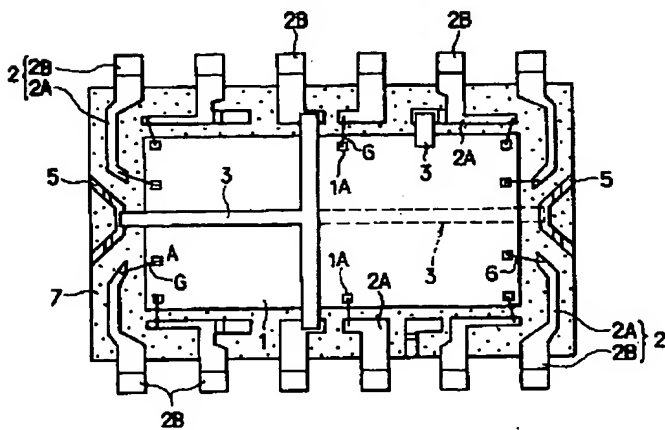
【図2】

図2



【図4】

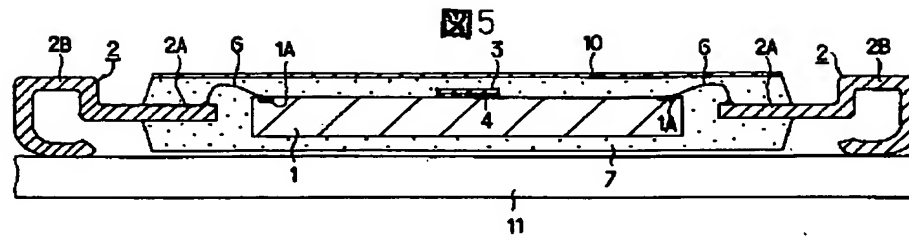
図4



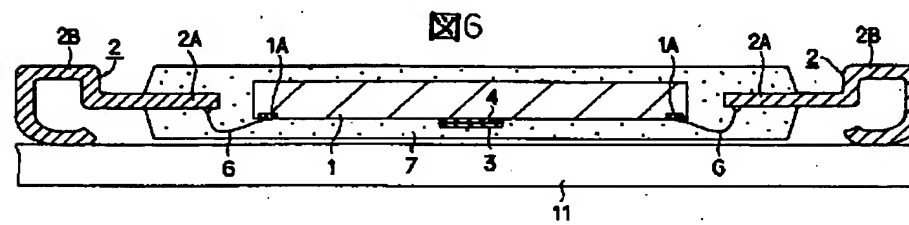
BEST AVAILABLE COPY

(13)

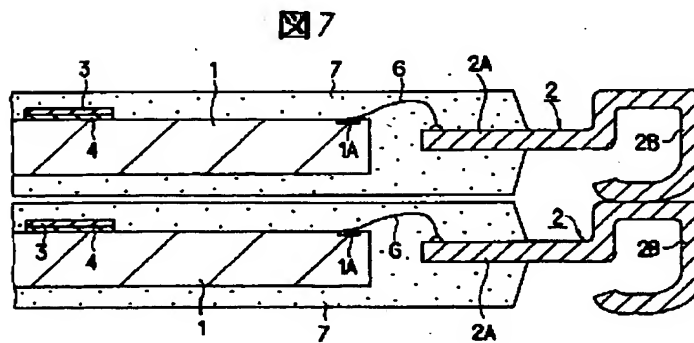
【図 5】



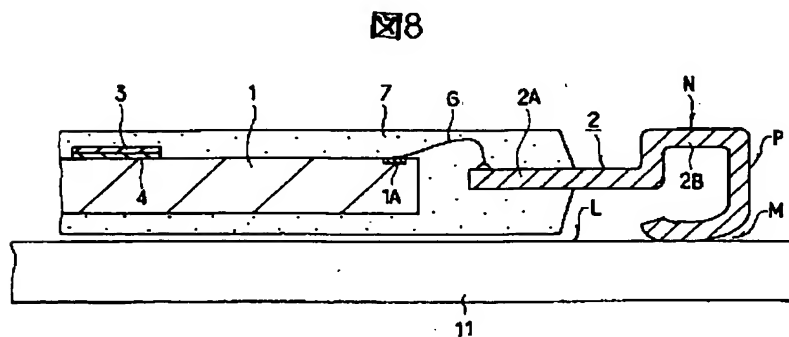
【图 6】



【図 7】



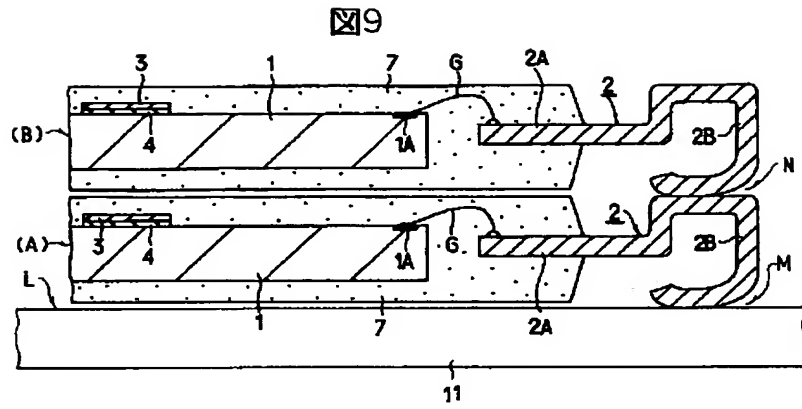
【图 8】



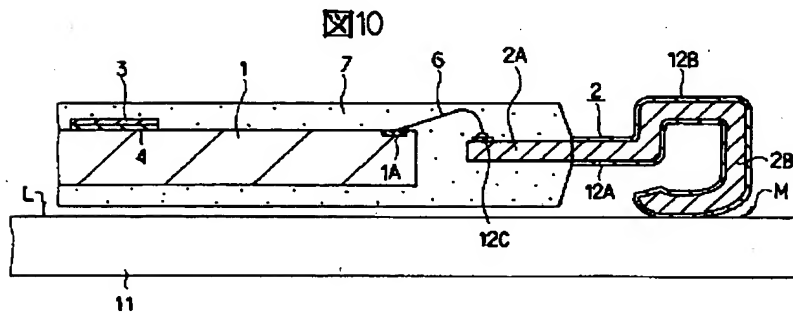
**BEST AVAILABLE COPY**

(14)

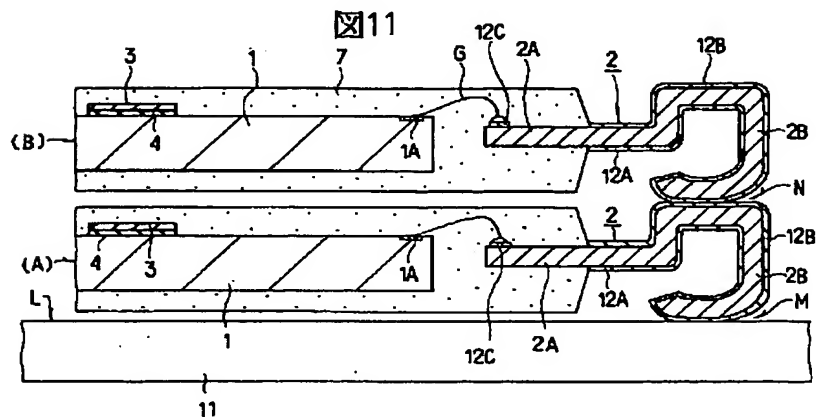
【図9】



【図10】



【図11】

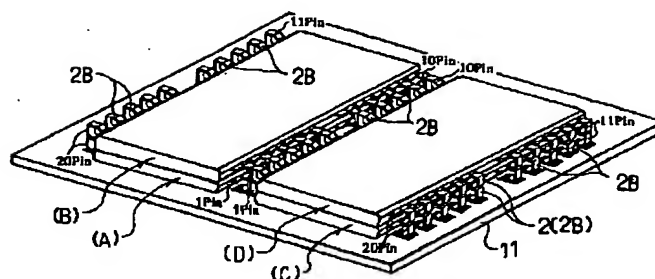


BEST AVAILABLE COPY

(15)

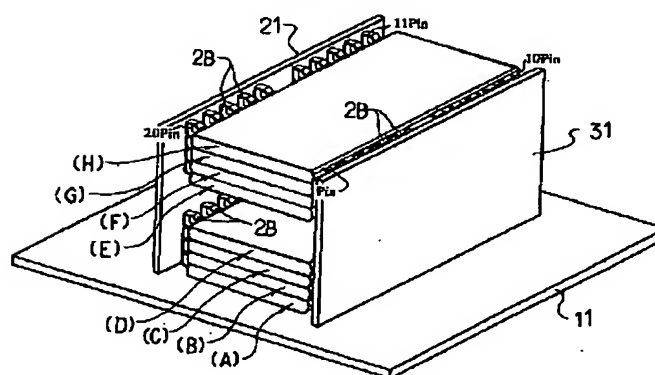
【図12】

図12



【図13】

図13



BEST AVAILABLE COPY

フロントページの続き

(51) Int. Cl. 5

H01L 25/11

25/18

識別記号

庁内整理番号

F I

技術表示箇所

(72) 発明者 和田 環

東京都小平市上水本町5丁目20番1号 日

立超エル・エス・アイ・エンジニアリング

株式会社内